



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

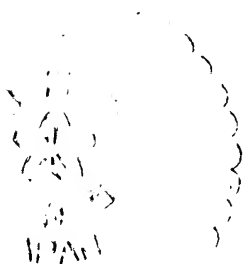
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 9 1 6 5 6
Application Number:

[ST. 10/C] : [J P 2 0 0 3 - 0 9 1 6 5 6]

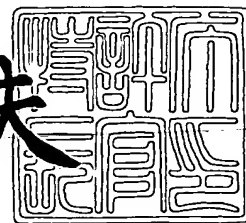
出 願 人 T D K 株 式 会 社
Applicant(s):



2 0 0 4 年 2 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 99P04911

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/00

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 松浦 研

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 上松 武

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 今井 考一

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 三浦 幸一郎

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 川崎 浩司

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100088155

【弁理士】

【氏名又は名称】 長谷川 芳樹

【選任した代理人】

【識別番号】 100092657

【弁理士】

【氏名又は名称】 寺崎 史朗

【選任した代理人】

【識別番号】 100108213

【弁理士】

【氏名又は名称】 阿部 豊隆

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スイッチング電源装置用制御装置およびスイッチング電源装置

【特許請求の範囲】

【請求項 1】 スイッチング電源装置のスイッチング素子を制御するための駆動信号を、当該スイッチング電源装置に対して出力するスイッチング電源装置用制御装置であって、

前記駆動信号の時比率に対応する信号に含まれる低周波成分を遮断するハイパスフィルタと、

前記ハイパスフィルタにより低周波成分が遮断された信号を積分する積分手段と、

前記スイッチング電源装置の出力電圧および当該出力電圧の目標電圧の差分を示す信号と、前記積分手段により積分された信号との差分を算出する差分算出手段と、

前記差分算出手段により算出された信号、およびランプ信号に基づいて前記駆動信号を生成する駆動信号生成手段とを備えることを特徴とするスイッチング電源装置用制御装置。

【請求項 2】 前記ハイパスフィルタは、二次のハイパスフィルタであることを特徴とする請求項 1 記載のスイッチング電源装置用制御装置。

【請求項 3】 スイッチング電源装置のスイッチング素子を制御するための駆動信号を、当該スイッチング電源装置に対して出力するスイッチング電源装置用制御装置であって、

前記駆動信号の時比率に対応する信号を演算し、ハイパスフィルタ機能および積分機能を融合させた演算手段と、

前記スイッチング電源装置の出力電圧および当該出力電圧の目標電圧の差分を示す信号と、前記演算手段により演算された信号との差分を算出する差分算出手段と、

前記差分算出手段により算出された信号、およびランプ信号に基づいて前記駆動信号を生成する駆動信号生成手段とを備えることを特徴とするスイッチング電源装置用制御装置。

【請求項 4】 前記演算手段は、当該演算手段の伝達関数 $H(Z)$ が $1 / (1 - b * Z^{-1})$ (b は係数)

であることを特徴とする請求項 3 記載のスイッチング電源装置用制御装置。

【請求項 5】 前記演算手段は、当該演算手段の伝達関数 $H(Z)$ が $(1 - Z^{-1}) / [(1 - b_1 * Z^{-1}) (1 - b_2 * Z^{-1})]$ (b_1, b_2 は係数)

であることを特徴とする請求項 3 記載のスイッチング電源装置用制御装置。

【請求項 6】 スwitchング電源装置のスイッチング素子を制御するための駆動信号を、当該スイッチング電源装置に対して出力するスイッチング電源装置用制御装置であって、

前記駆動信号の時比率に対応する信号に含まれる低周波成分を遮断する第一のハイパスフィルタと、

前記第一のハイパスフィルタにより低周波成分を遮断された信号を積分する積分手段と、

前記積分手段により積分された信号に含まれる低周波成分を遮断する第二のハイパスフィルタと、

前記スイッチング電源装置の出力電圧および当該出力電圧の目標電圧の差分を示す信号と、前記第二のハイパスフィルタにより低周波成分を遮断された信号との差分を算出する差分算出手段と、

前記差分算出手段により算出された信号、およびランプ信号に基づいて前記駆動信号を生成する駆動信号生成手段とを備えることを特徴とするスイッチング電源装置用制御装置。

【請求項 7】 前記第一のハイパスフィルタおよび前記第二のハイパスフィルタは、一次のハイパスフィルタであることを特徴とする請求項 6 記載のスイッチング電源装置用制御装置。

【請求項 8】 前記駆動信号生成手段により生成された駆動信号のオン時間を一スイッチング周期ごとにカウントするカウンタ手段をさらに備え、

前記駆動信号の時比率に対応する信号は、前記カウンタ手段によりカウントされた値を示す信号であることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載の

スイッチング電源装置用制御装置。

【請求項 9】 前記差分算出手段により算出された信号を所定時間保持して出力する遅延手段をさらに備え、

前記駆動信号の時比率に対応する信号は、前記遅延手段により出力された信号であることを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載のスイッチング電源装置用制御装置。

【請求項 1 0】 前記駆動信号生成手段は、所定の間隔で前記駆動信号のレベルをローレベルからハイレベルに切り替えるとともに、前記差分算出手段により算出された信号と前記ランプ信号との比較結果に基づいて前記駆動信号のレベルをハイレベルからローレベルに切り替え、

前記遅延手段は、前記駆動信号の出力レベルがハイレベルからローレベルに切り替えられた切替時点における前記差分算出手段により算出された信号に基づいて、当該算出された信号に対応する値を検出し、当該検出された値を次の前記切替時まで出力することを特徴とする請求項 9 記載のスイッチング電源装置用制御装置。

【請求項 1 1】 前記駆動信号生成手段は、所定の間隔で前記駆動信号のレベルをハイレベルからローレベルに切り替えるとともに、前記差分算出手段により算出された信号と前記ランプ信号との比較結果に基づいて前記駆動信号のレベルをローレベルからハイレベルに切り替え、

前記遅延手段は、前記駆動信号の出力レベルがローレベルからハイレベルに切り替えられた切替時点における前記差分算出手段により算出された信号に基づいて、当該算出された信号に対応する値を検出し、当該検出された値を次の前記切替時まで出力することを特徴とする請求項 9 記載のスイッチング電源装置用制御装置。

【請求項 1 2】 前記駆動信号生成手段は、前記差分算出手段により算出された信号と前記ランプ信号との比較の結果に基づいて前記駆動信号の出力レベルをハイレベルまたはローレベルに切り替えることを特徴とする請求項 1 ～ 9 のいずれか 1 項に記載のスイッチング電源装置用制御装置。

【請求項 1 3】 請求項 1 ～ 1 2 のいずれか 1 項に記載のスイッチング電源

装置用制御装置を備えることを特徴とするスイッチング電源装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、スイッチング電源装置用制御装置およびスイッチング電源装置に関する。

【0 0 0 2】

【従来の技術】

スイッチング電源装置は、小型軽量かつ高効率等の特長を有しており、各種機器に組み込まれているマイコンや、パソコン等の電源として幅広く利用されている。これらパソコン等では、低電圧化及び高速処理化が進み、消費電流が増加する一方である。そのため、スイッチング電源装置では、パソコン等の処理負荷に応じて負荷電流が急減に増減する。また、スイッチング電源装置は、広い入力電圧範囲に容易に対応できるという特長を有しており、世界数カ国で対応可能な電源や入力電圧の仕様設定が広い電源としても利用されている。スイッチング電源装置では、このような負荷電流や入力電圧の変化に対して安定した出力電圧を保障する必要がある。さらに、負荷電流や入力電圧の急激な変化に対して出力電圧が過渡応答となった場合でも、スイッチング電源装置では、安定した状態に迅速に回復することが求められている。

【0 0 0 3】

そのために、スイッチング電源装置は、デジタル制御方式のコントローラ I C [Integrated Circuit]等の制御装置を備えており、この制御装置により F E T [Field Effect Transistor]等のスイッチング素子を高速にオン／オフしている（非特許文献 1 参照）。制御装置では、電圧モード制御や電流モード制御によるフィードバック制御により、スイッチング電源装置の出力電圧等に基づいてスイッチング素子をオン／オフするための P W M [Pulse Width Modulation]信号を生成している。

【0 0 0 4】

【非特許文献 1】

原田 耕介、二宮 保、顧 文建 共著、「スイッチングコンバータの基礎」、コロナ社、p. 4 8 ～ 7 9

【0 0 0 5】

【発明が解決しようとする課題】

しかしながら、従来のスイッチング電源装置では、一般に、LCフィルタや制御装置等において位相遅れが生じ、この位相遅れは、周波数が高くなるほど大きくなる。そして、この位相遅れが 180° に達すると、スイッチング電源装置の出力電圧は発振してしまう。したがって、位相遅れが 180° に達することがないように位相補償する手段を講ずる必要がある。

【0 0 0 6】

そこで、本発明は、上述した課題を解決するために、位相進みを実現することにより位相補償することができるスイッチング電源装置用制御装置およびスイッチング電源装置を提供することを目的とする。

【0 0 0 7】

【課題を解決するための手段】

本発明は、スイッチング電源装置のスイッチング素子を制御するための駆動信号を、当該スイッチング電源装置に対して出力するスイッチング電源装置用制御装置であって、駆動信号の時比率に対応する信号に含まれる低周波成分を遮断するハイパスフィルタと、ハイパスフィルタにより低周波成分が遮断された信号を積分する積分手段と、スイッチング電源装置の出力電圧および当該出力電圧の目標電圧の差分を示す信号と、積分手段により積分された信号との差分を算出する差分算出手段と、差分算出手段により算出された信号、およびランプ信号に基づいて駆動信号を生成する駆動信号生成手段とを備えることを特徴とする。

【0 0 0 8】

この発明によれば、帰還ループにあるハイパスフィルタおよび積分手段によって、駆動信号の時比率に対応する信号から低周波成分が遮断され、この遮断された信号が積分されるとともに、この積分後の信号に基づいて駆動信号が生成されるため、スイッチング電源装置用制御装置の伝達関数が位相進みとなり、かつ直流利得も確保される。

【0009】

本発明のスイッチング電源装置用制御装置において、前記ハイパスフィルタは、二次のハイパスフィルタであることが好ましい。このようにすれば、スイッチング電源装置用制御装置は、より確実に低周波成分を遮断させることができる。

【0010】

本発明は、スイッチング電源装置のスイッチング素子を制御するための駆動信号を、当該スイッチング電源装置に対して出力するスイッチング電源装置用制御装置であって、駆動信号の時比率に対応する信号を演算し、ハイパスフィルタ機能および積分機能を融合させた演算手段と、スイッチング電源装置の出力電圧および当該出力電圧の目標電圧の差分を示す信号と、演算手段により演算された信号との差分を算出する差分算出手段と、差分算出手段により算出された信号、およびランプ信号に基づいて駆動信号を生成する駆動信号生成手段とを備えることを特徴とする。

【0011】

この発明によれば、帰還ループにある演算手段によって、駆動信号の時比率に対応する信号に基づいて、低周波成分が遮断され、かつ積分された信号が出力されるとともに、この演算手段により出力された信号に基づいて駆動信号が生成されるため、スイッチング電源装置用制御装置の伝達関数が位相進みとなり、かつ直流利得も確保される。

【0012】

本発明のスイッチング電源装置用制御装置において、演算手段の伝達関数 $H(Z)$ が、 $1 / (1 - b * Z^{-1})$ 、または、 $(1 - Z^{-1}) / [(1 - b_1 * Z^{-1})(1 - b_2 * Z^{-1})]$ 、(b , b_1 , b_2 は係数)であることが好ましい。

【0013】

本発明は、スイッチング電源装置のスイッチング素子を制御するための駆動信号を、当該スイッチング電源装置に対して出力するスイッチング電源装置用制御装置であって、駆動信号の時比率に対応する信号に含まれる低周波成分を遮断する第一のハイパスフィルタと、第一のハイパスフィルタにより低周波成分を遮断された信号を積分する積分手段と、積分手段により積分された信号に含まれる低

周波成分を遮断する第二のハイパスフィルタと、スイッチング電源装置の出力電圧および当該出力電圧の目標電圧の差分を示す信号と、第二のハイパスフィルタにより低周波成分を遮断された信号との差分を算出する差分算出手段と、差分算出手段により算出された信号、およびランプ信号に基づいて駆動信号を生成する駆動信号生成手段とを備えることを特徴とする。

【0014】

この発明によれば、帰還ループにある第一のハイパスフィルタ、積分手段および第二のハイパスフィルタによって、駆動信号の時比率に対応する信号から低周波成分が遮断され、この遮断された信号が積分され、さらにこの積分された信号から低周波成分が遮断されるとともに、この遮断後の信号に基づいて駆動信号が生成されるため、スイッチング電源装置用制御装置の伝達関数が位相進みとなり、かつ直流利得も確保される。

【0015】

本発明のスイッチング電源装置用制御装置において、第一のハイパスフィルタおよび第二のハイパスフィルタは、一次のハイパスフィルタであることが好ましい。このようにすれば、回路構成をより簡素化させることができる。

【0016】

本発明のスイッチング電源装置用制御装置において、駆動信号生成手段により生成された駆動信号のオン時間を一スイッチング周期ごとにカウントするカウンタ手段をさらに備え、駆動信号の時比率に対応する信号は、カウンタ手段によりカウントされた値を示す信号であることとしてもよい。また、差分算出手段により算出された信号を所定時間保持して出力する遅延手段をさらに備え、駆動信号の時比率に対応する信号は、遅延手段により出力された信号であることとしてもよい。

【0017】

本発明のスイッチング電源装置用制御装置において、駆動信号生成手段は、所定の間隔で前記駆動信号のレベルをローレベルからハイレベルに切り替えるときとともに、差分算出手段により算出された信号とランプ信号との比較結果に基づいて駆動信号のレベルをハイレベルからローレベルに切り替え、遅延手段は、駆動信

号の出力レベルがハイレベルからローレベルに切り替えられた切替時点における差分算出手段により算出された信号に基づいて、当該算出された信号に対応する値を検出し、当該検出された値を次の切替時まで出力することとしてもよい。また、駆動信号生成手段は、所定の間隔で駆動信号のレベルをハイレベルからローレベルに切り替えるとともに、差分算出手段により算出された信号とランプ信号との比較結果に基づいて駆動信号のレベルをローレベルからハイレベルに切り替え、遅延手段は、駆動信号の出力レベルがローレベルからハイレベルに切り替えられた切替時点における差分算出手段により算出された信号に基づいて、当該算出された信号に対応する値を検出し、当該検出された値を次の切替時まで出力することとしてもよい。

【0018】

本発明のスイッチング電源装置用制御装置において、駆動信号生成手段は、差分算出手段により算出された信号とランプ信号との比較の結果に基づいて駆動信号の出力レベルをハイレベルまたはローレベルに切り替えることが好ましい。このようにすれば、差分算出手段により算出された信号と、ランプ信号との比較結果により、駆動信号のレベルがハイレベルとなる期間を制御することができる。

【0019】

【発明の実施の形態】

以下、本発明に係るスイッチング電源装置用制御装置の各実施形態を図面に基づき説明する。なお、各図において、同一要素には同一符号を付して重複する説明を省略する。

【0020】

〔第1実施形態〕

まず、本発明の第1実施形態について説明する。図1は、第1実施形態におけるスイッチング電源装置1の電気回路構成を例示する図である。本実施形態におけるスイッチング電源装置1はDC-DCコンバータであり、図1に示すようにスイッチング素子2、3と、インダクタ4と、コンデンサ5と、AD変換部6と、コントローラIC7（スイッチング電源装置用制御装置）とを有する。

【0021】

電源 P は、スイッチング電源装置 1 に入力電圧 V_i を印加する。スイッチング素子 2, 3 は、スイッチング機能を有する素子であり、例えば、電界効果トランジスタ (FET) 等のトランジスタが該当する。スイッチング素子 2, 3 のゲートには、コントローラ IC 7 から出力される PWM 信号 (駆動信号) KS が入力される。スイッチング素子 2 およびスイッチング素子 3 は、PWM 信号 KS のレベルに基づいてそれぞれが交互に ON 状態と OFF 状態とを繰り返す。具体的に説明すると、PWM 信号 KS のレベルがハイレベルである場合には、スイッチング素子 2 が ON 状態となりスイッチング素子 3 が OFF 状態となる。一方、PWM 信号 KS のレベルがローレベルである場合には、スイッチング素子 2 が OFF 状態となりスイッチング素子 3 が ON 状態となる。

【0022】

インダクタ 4 およびコンデンサ 5 は、出力電圧 V_o を安定させるための LC フィルタ (平滑回路) として機能する。AD 変換部 6 は、出力電圧 V_o を示すアナログ信号をデジタル信号に変換する。

【0023】

負荷 L は、スイッチング電源装置 1 から出力される出力電圧 V_o の供給先であり、例えば、PC 端末等に用いられる CPU (Central Processing Unit) や MPU (Micro Processing Unit) が該当する。このような、CPU や MPU は、省電力モードを有しており、省電力モードから通常モードに移行する際に、負荷変動が急激に増大するという特徴がある。

【0024】

コントローラ IC 7 は、負荷 L に供給する出力電圧 V_o の目標値である目標電圧 V_r と出力電圧 V_o とに基づいて PWM 信号 KS を生成する。ここで、図 2 を参照してコントローラ IC 7 の回路構成を説明する。図 2 に示すように、コントローラ IC 7 は、加算器 11 と、乗算器 12 と、加算器 (差分算出手段) 13 と、PWM 信号生成回路 (駆動信号生成手段) 20 と、カウンタ 14 と、演算回路 30 と、ランプ信号回路 15 とを有する。

【0025】

加算器 11 は、出力電圧 V_o を示すデジタル信号および目標電圧 V_r を示すデ

デジタル信号に基づいて、 $(V_r - V_o)$ の値を示す信号 V_S を出力する。すなわち、加算器 11 は、出力電圧 V_o (負) と目標電圧 V_r (正) を加算することにより、出力電圧 V_o と目標電圧 V_r との差分電圧値 $(V_r - V_o)$ を算出する。

【0026】

乗算器 12 は、差分電圧値 $(V_r - V_o)$ を示す信号 V_S に基づいて、 $G(V_r - V_o)$ の値を示す制御信号 G_S を出力する。すなわち、乗算器 12 は、出力電圧 V_o と目標電圧 V_r との差分電圧値 $(V_r - V_o)$ に、乗算器 12 の係数である G を乗算することにより、差分電圧値 $(V_r - V_o)$ を G 倍した値である $G(V_r - V_o)$ を算出する。

【0027】

加算器 13 は、乗算器 12 から出力された $G(V_r - V_o)$ の値を示す制御信号 G_S および演算回路 30 から出力された信号 F_S に基づいて信号 H_S を出力する。すなわち、加算器 13 は、 $G(V_r - V_o)$ の値を示す制御信号 G_S (正) と演算回路 30 から出力された信号 F_S (負) を加算することにより、制御信号 G_S と信号 F_S との差分を示す信号 H_S を算出する。

【0028】

PWM信号生成回路 20 は、加算器 13 から出力された信号 H_S およびランプ信号回路 15 から出力されたランプ信号 R_S に基づいて PWM信号 K_S を生成する。PWM信号生成回路 20 は、コンパレータ 21 と、AND回路 22 とを有する。

【0029】

コンパレータ 21 は、加算器 13 から出力された信号 H_S およびランプ信号回路 15 から出力されたランプ信号 R_S に基づいて、これらの信号を比較した結果を示す信号 C_S を出力する。すなわち、コンパレータ 21 は、信号 H_S の値とランプ信号 R_S の値とを比較して、信号 H_S の値がランプ信号 R_S の値よりも大きい場合には、ハイレベルの信号 C_S を出力し、信号 H_S の値がランプ信号 R_S の値以下の場合には、ローレベルの信号 C_S を出力する。すなわち、信号 C_S は、ランプ信号 R_S の値が、信号 H_S の値よりも小さい場合にのみ、ハイレベルとなる。

【0030】

AND回路22は、マスタークロックMCを分周したパルスに基づいて生成された信号clkとコンパレータ21から出力された信号CSとに基づいて、スイッチング素子2, 3の駆動信号であるPWM信号KSを出力する。すなわち、AND回路22は、信号clkと信号CSの論理積を演算し、その演算結果をPWM信号KSとして出力する。なお、本実施形態におけるAND回路22は、PWM信号KSのパルス幅の上限を制限する機能を有する。

【0031】

カウンタ14は、PWM信号KSの出力レベルがハイレベルであるときに、カウント値をカウントアップする。カウンタ14は、リセット信号RESを受信するとカウント値をリセットするとともに、サンプル信号SMPを受信するとその時点のカウント値を保持し、この保持したカウント値を示す信号DSを出力する。すなわち、カウンタ14は、リセット信号RESを受信してからサンプル信号SMPを受信するまでの間におけるPWM信号KSのオン時間をカウントし、サンプル信号SMPを受信した時点のカウント値を保持する。

【0032】

演算回路30は、カウンタ14から出力されたカウント値を示す信号DSに基づいて演算し、演算後の信号FSを出力する。ここで、図2に示すように、演算回路30は、ハイパスフィルタ(HPF)31と、積分器32とを有する。

【0033】

ハイパスフィルタ31は、二次のハイパスフィルタであり、カウンタ14により出力された信号DSに含まれる低周波成分を遮断するフィルタ回路である。ハイパスフィルタ31を備えることによって、信号DSに含まれる低周波成分が遮断されるため、直流成分のない信号を積分器32に入力することができる。

【0034】

積分器32は、ハイパスフィルタ31によって低周波成分が遮断された後の信号を積分する回路である。このような積分器32を備えることによって、PWM信号KSのオン時間に対応する信号DSから低周波成分が遮断された信号を積分することができる。

【0035】

ここで、図3を参照して、演算回路30の詳細回路構成について説明する。図3に示すように、演算回路30は、二次のハイパスフィルタ31と、積分器32とを有する。二次のハイパスフィルタ31は、遅延器であるDフリップフロップ31A～31Dと、乗算係数が“2”である乗算器31Eと、乗算係数が“ $b_1 + b_2$ ”である乗算器31Fと、乗算係数が“ $b_1 * b_2$ ”である乗算器31Gと、加算器31Hとを有する。この回路構成は、以下に記載する式1により表されるハイパスフィルタ31の伝達関数 $H(Z)$ に基づいて構成されている。

【0036】

$$\left[(1 - Z^{-1}) / (1 - b_1 * Z^{-1}) \right] * \left[(1 - Z^{-1}) / (1 - b_2 * Z^{-1}) \right] \dots \quad (\text{式1}) \quad (b_1, b_2 \text{ は係数})$$

【0037】

また、演算回路30の積分器32は、遅延器であるDフリップフロップ32Aと、加算器32Bとを有する。この回路構成は、以下に記載する式2により表される積分器32の伝達関数 $H(Z)$ に基づいて構成されている。

【0038】

$$1 / (1 - Z^{-1}) \dots \quad (\text{式2})$$

【0039】

なお、本実施形態においては、ハイパスフィルタ31が二次のハイパスフィルタである場合について説明しているが、ハイパスフィルタ31を二次に限定する必要はない。すなわち、ハイパスフィルタ31は、一次以上のハイパスフィルタであれば、いずれのハイパスフィルタであっても適用可能である。ここで、演算回路30を、一次のハイパスフィルタ31Sと、積分器32とで構成した場合の詳細回路図を図4に示し、説明する。図4に示すように一次のハイパスフィルタ31Sは、遅延器であるDフリップフロップ31SA、31SBと、乗算係数が“ b ”である乗算器31SCと、加算器31SDとを有する。この回路構成は、以下に記載する式3により表されるハイパスフィルタ31Sの伝達関数 $H(Z)$ に基づいて構成されている。

【0040】

$$(1 - Z^{-1}) / (1 - b * Z^{-1}) \quad \dots \quad (式 3) \quad (b \text{ は係数})$$

【0041】

このように、本実施形態においては、演算回路 30 に積分器 32 を備えることによって、コントローラ IC7 の伝達関数が、後述するように位相進みとなるため、スイッチング電源装置 1 全体の位相補償を実現することができる。なお、積分器 32 に入力する信号を、ハイパスフィルタ 31 で低周波成分が遮断された後の信号にすることで、この積分器 32 において積分された値が飽和（無限大に発散）する事態を防止することができる。

【0042】

ここで、図 5 を参照して、コントローラ IC7 において位相進みが実現される原理について説明する。図 5 は、本実施形態におけるコントローラ IC7 と同様に構成されており、スイッチング電源装置に出力する駆動信号の時比率の積分値を帰還ループでフィードバックする制御回路の一例を示すものである。ここで、時比率とは、駆動信号の一スイッチング周期中におけるオン時間の割合をいう。図 5 に示す制御回路 7g は、伝達関数が“ $-G$ ”である乗算器 12g と、伝達関数が“ G_d ”である積分器 32g と、伝達関数が“ k_d ”である乗算器 12g と、加算器 13g とを有する。この制御回路 7g の伝達関数 $G_c(Z)$ は、制御回路 7g に入力されるスイッチング電源装置の出力電圧の変化量 ΔV と制御回路から出力される時比率の変化量 ΔD の比として求められ、以下に記載する式 4 により表される。

【0043】

$$G_c(Z) = \Delta D / \Delta V = (-G) / (1 + k_d * G_d) \quad \dots \quad (式 4)$$

【0044】

また、積分器 32g の伝達関数 $G_d(Z)$ は、以下に記載する式 5 により表される。

【0045】

$$G_d(Z) = 1 / (1 - Z^{-1}) \quad \dots \quad (式 5)$$

【0046】

式 5 を式 4 に代入すると、制御回路 7g の伝達関数 $G_c(Z)$ が、以下に記載

する式 6 のように求まる。

【0047】

$$G_c(Z) = [(-G) / (1 + kd)] * [(1 - Z^{-1}) / [1 - (1 / (1 + kd)) * Z^{-1}]] \dots \quad (\text{式 6})$$

【0048】

ここで、一次のハイパスフィルタの伝達関数 $H(Z)$ は、 $(1 - Z^{-1}) / (1 - b * Z^{-1})$; (b は係数) により表されるため、式 6 の伝達関数 $G_c(Z)$ は、一次のハイパスフィルタの伝達関数で表されていることがわかる。すなわち、図 5 に示す帰還ループに積分器 32g を有する制御回路 7g の伝達関数 $G_c(Z)$ は、一次のハイパスフィルタの伝達関数で表されることになる。

【0049】

ところで、一般に、一次のハイパスフィルタの伝達関数は、後述するように 90° の位相進みとなる。したがって、図 5 に示す帰還ループに積分器 32g を有する制御回路 7g の伝達関数 G_c も 90° の位相進みとなる。

【0050】

以下において、一次のハイパスフィルタの伝達関数が 90° の位相進みとなることについて説明する。まず、式 6 により表される制御回路 7g の伝達関数 $G_c(Z)$ を、逆双一次変換により、アナログ伝達関数 $G_c(s)$ に変換する。一般に、逆双一次変換を行う際には、以下に記載する式 7 を用いて行う。

【0051】

$$Z^{-1} = [1 - (s / 2 * f_s)] / [1 + (s / 2 * f_s)] \dots \quad (\text{式 7})$$

(f_s : サンプル周波数)

【0052】

式 6 により表される制御回路 7g の伝達関数 $G_c(Z)$ を、式 7 を用いて逆双一次変換すると、アナログ伝達関数 $G_c(s)$ が、以下に記載する式 8 のように求まる。

【0053】

$$G_c(s) = [(-2G) / (2 + kd)] * [s / (s + 2\pi * f_c)] \dots \quad (\text{式 8})$$

(f_c :一次のハイパスフィルタの遮断周波数)なお、 $f_c = (f_s / \pi) * [k_d / (2 + k_d)]$ とする。

【0054】

ここで、所定の周波数を f とした場合に、 $s = j * 2\pi * f$ (j :虚数単位)が成立する。そして、この所定の周波数 f が、一次のハイパスフィルタの遮断周波数 f_c に比べて無視できる程小さい場合に、上述した式 8 は、以下に記載する式 9 によって近似的に表される。

【0055】

$$G_c = [(-2G) / (2 + k_d)] * [j * 2\pi * f / (2\pi * f_c)] \quad \dots$$

(式 9)

【0056】

このように、式 9 に示す制御回路 7g の伝達関数 G_c は、虚数単位である j に比例する純虚数で表されるため、制御回路 7g の伝達関数 G_c は、 90° の位相進みとなる。すなわち、帰還ループに積分器 32g を有する制御回路 7g の伝達関数 G_c は、 90° の位相進みとなる。

【0057】

このことは、図 6 および図 7 に示す制御回路 7g における伝達関数のゲイン特性グラフおよび位相特性グラフからも説明できる。図 6 は、ゲイン特性を示す図であり、図 7 は位相特性を示す図である。なお、ゲイン特性グラフの縦軸は、ゲイン[dB]を示し、横軸は、周波数[Hz]を示す。また、位相特性グラフの縦軸は、位相[°]を示し、横軸は、周波数[Hz]を示す。さらに、制御回路 7g における伝達関数は、乗算器 12g の伝達関数である G を“1”として算出している。

【0058】

図 6 に示すように、制御回路 7g における伝達関数のゲインは、 -20 [dB/dec]の割合で減少している。これは、式 9 に示されるように、制御回路 7g の伝達関数 G_c が、周波数 f に比例していることに起因するものである。

【0059】

図 7 に示すように、制御回路 7g における伝達関数の位相は、所定の周波数 (

図 7 の場合には 1 0 k H z 付近) よりも小さい周波数帯域で 9 0 ° となる。これは、制御回路 7 g における伝達関数の位相が、9 0 ° の位相進みであることを示すものである。

【 0 0 6 0 】

以上のことから、本実施形態におけるコントローラ I C 7 は、帰還ループにある演算回路 3 0 に積分器 3 2 が備えられているため、上述した制御回路 5 g と同様に、コントローラ I C 7 の伝達関数は、一次のハイパスフィルタの伝達関数として表され、9 0 ° の位相進みを実現することが可能となる。

【 0 0 6 1 】

ところで、上述した制御回路 7 g における伝達関数のゲインは、 $-20[\text{dB}/\text{dec}]$ の割合で減少している。このことは、制御回路 7 g における伝達関数の直流利得が、理論上 $-\infty[\text{dB}]$ になることを示している。なお、直流利得とは、周波数 f を限りなく 0 に近付けたときの伝達関数のゲインの値をいう。一般に、制御回路を含む系全体の直流利得は、 $20[\text{dB}] \sim 60[\text{dB}]$ 程度は必要であるとされている。したがって、系全体の直流利得が、 $20[\text{dB}] \sim 60[\text{dB}]$ 程度になるように回路の構成要素を設計する必要がある。そこで、本実施形態においては、演算回路 3 0 にハイパスフィルタ 3 1 を備えることで、帰還ループによる帰還信号の低周波成分を遮断してゲインの低下を防止している。

【 0 0 6 2 】

次に、図 8 ～図 1 7 を参照して、本実施形態におけるコントローラ I C 7 およびスイッチング電源装置 1 における伝達関数のゲイン特性および位相特性について説明する。なお、スイッチング電源装置 1 の入力電圧 V_i は 1 0 V に設定されていることとする。また、各ゲイン特性グラフの縦軸は、ゲイン $[\text{dB}]$ を示し、横軸は、周波数 $[\text{Hz}]$ を示す。また、各位相特性グラフの縦軸は、位相 $[\text{°}]$ を示し、横軸は、周波数 $[\text{Hz}]$ を示す。さらに、コントローラ I C 7 における伝達関数は、乗算器 1 2 の伝達関数である G を “1” として算出している。

【 0 0 6 3 】

まず、図 8 および図 9 を参照して、コントローラ I C 7 を含まないスイッチング電源装置 1 本体における伝達関数のゲイン特性および位相特性について説明す

る。図 8 は、ゲイン特性を示す図であり、図 9 は位相特性を示す図である。

【0064】

図 8 に示すように、スイッチング電源装置 1 本体における伝達関数のゲインの最大値（共振値）は、スイッチング電源装置 1 本体の LC 共振周波数 f_n である $15[\text{kHz}]$ に表れる。また、ゲインが $0[\text{dB}]$ となるゼロクロス周波数は、 $55[\text{kHz}]$ である。

【0065】

図 9 に示すように、スイッチング電源装置 1 本体における伝達関数の位相は、ゼロクロス周波数である $55[\text{kHz}]$ において $-175[^\circ]$ となる。したがって、スイッチング電源装置 1 本体の位相余裕は $5[^\circ]$ となり、位相余裕としては非常に小さな値であるため、このままでは、外部の影響（外乱）により出力電圧 V_o が発振してしまう可能性がある。

【0066】

次に、図 10 および図 11 を参照して、コントローラ IC 7 における伝達関数のゲイン特性および位相特性について説明する。図 10 は、ゲイン特性を示す図であり、図 11 は位相特性を示す図である。図 10 および図 11 に示すように、コントローラ IC 7 の伝達関数のゲイン特性および位相特性は、上述した図 6 および図 7 に示す積分器のみの場合における各特性グラフのうち、二次のハイパスフィルタ 31 により低周波成分が遮断される周波数領域において、ゲインは $0[\text{dB}]$ に、位相は $0[^\circ]$ にそれぞれ戻ることになる。なお、直流利得が不足している場合には、乗算器 12 の伝達関数である G を低周波数領域で高いゲインをもつ伝達関数に変更することにより、必要な直流利得を得ることができる。

【0067】

次に、図 12 および図 13 を参照して、コントローラ IC 7 を含むスイッチング電源装置 1 全体における伝達関数のゲイン特性および位相特性について説明する。図 12 は、ゲイン特性を示す図であり、図 13 は位相特性を示す図である。図 12 および図 13 に示す各特性グラフは、スイッチング電源装置 1 全体における伝達関数（図 8、図 9 参照）と、コントローラ IC 7 における伝達関数（図 10、図 11 参照）を掛け合わせた伝達関数のゲイン特性および位相特性を表すも

のである。

【0068】

図12に示すように、スイッチング電源装置1全体における伝達関数のゲインが0[dB]となるゼロクロス周波数は、35[kHz]である。また、図13に示すように、スイッチング電源装置1全体における伝達関数の位相は、ゼロクロス周波数である35[kHz]において -130° となる。したがって、スイッチング電源装置1全体の位相余裕は 50° となり、スイッチング電源装置1は、全体として安定な制御系となる。また、図12に示すように、直流利得が、20[dB]であるため、スイッチング電源装置1全体としての定常偏差も減少する。

【0069】

次に、図14および図15を参照して、演算回路30のハイパスフィルタが一次のハイパスフィルタ31Sである場合のコントローラIC7における伝達関数のゲイン特性および位相特性について説明する。図14は、ゲイン特性を示す図であり、図15は位相特性を示す図である。図14および図15に示すように、コントローラIC7の伝達関数のゲイン特性および位相特性は、上述した図6および図7に示す積分器のみの場合における各特性グラフのうち、一次のハイパスフィルタ31により低周波成分が遮断される周波数領域において、ゲインは -15 [dB]に、位相は 0° にそれぞれ戻ることになる。このように、二次のハイパスフィルタを用いた場合ほどの効果は得られないが、積分器のみの場合（図6参照）には、直流利得が $-\infty$ [dB]であったのに対し、一次のハイパスフィルタを用いた場合には、直流利得が -15 [dB]となっている点で定常偏差が大幅に改善されている。

【0070】

次に、図16および図17を参照して、一次のハイパスフィルタ31Sを用いた場合のコントローラIC7を含むスイッチング電源装置1全体における伝達関数のゲイン特性および位相特性について説明する。図16は、ゲイン特性を示す図であり、図17は位相特性を示す図である。図16および図17に示す各特性グラフは、スイッチング電源装置1全体における伝達関数（図8，図9参照）と、一次のハイパスフィルタ31Sを用いた場合のコントローラIC7における伝

達関数（図 14，図 15 参照）を掛け合わせた伝達関数のゲイン特性および位相特性を表すものである。図 16 に示すように、スイッチング電源装置 1 全体における伝達関数のゲインが 0 [dB] となるゼロクロス周波数は、35 [kHz] である。また、図 17 に示すように、スイッチング電源装置 1 全体における伝達関数の位相は、ゼロクロス周波数である 35 [kHz] において -120 [°] となる。したがって、スイッチング電源装置 1 全体の位相余裕は 60 [°] となり、スイッチング電源装置 1 は、全体として安定な制御系となる。また、図 16 に示すように、直流利得が、5 [dB] であるため、スイッチング電源装置 1 全体としての定常偏差も減少する。

【0071】

このように、コントローラ IC 7 の帰還ループに含まれる演算回路 30 に積分器 32 およびハイパスフィルタ 31 または 31 S を備えることによって、コントローラ IC 7 の伝達関数が位相進みとなり、かつ直流利得が確保されるため、スイッチング電源装置 1 における位相補償が実現されることになる。

【0072】

次に、図 18 に示すタイミングチャートを参照して、コントローラ IC 7 のカウンタ 14 および演算回路 30 における信号の流れについて説明する。図 18 (a) は、コントローラ IC 7 の PWM 信号生成回路 20 から出力される PWM 信号 KS の波形を示す図である。図 18 (a) に示すように、PWM 信号 KS は、ローレベルとハイレベルの信号が交互に繰り返されて出力されている。図 18 (b) は、コントローラ IC 7 のカウンタ 14 におけるカウントアップ状態を示す信号 cnt の波形を示す図である。図 18 (c) は、カウンタ 14 から出力される信号 DS の内容を示す図である。図 18 (d) は、スイッチング電源装置 1 のマスタークロック MC に基づいて生成されたりセット信号 RES のパルス波形を示す図である。図 18 (d) に示すように、リセット信号 RES は、所定の間隔でローレベルとハイレベルの信号が交互に繰り返されて出力されている。図 18 (e) は、スイッチング電源装置 1 のマスタークロック MC に基づいて生成されたサンプル信号 SMP のパルス波形を示す図である。図 18 (e) に示すように、サンプル信号 SMP は、所定の間隔でローレベルとハイレベルの信号が交互に

繰り返されて出力されている。図18 (f) は、コントローラ IC7の演算回路30から出力される信号FSの内容を示す図である。

【0073】

まず、時間 t_1 において、PWM信号生成回路20から出力されるPWM信号KSがローレベルからハイレベルに切り替わると (図18 (a))、カウンタ14は、リセット済であるカウンタ値のカウントアップを開始する (図18 (b))。また、時間 t_1 において、リセット信号RESは、ローレベルからハイレベルに切り替わる (図18 (d))。

【0074】

次に、時間 t_2 において、PWM信号生成回路20から出力されるPWM信号KSがハイレベルからローレベルに切り替わると (図18 (a))、カウンタ14は、カウントアップを停止する (図18 (b))。すなわち、本実施形態におけるカウンタ14は、PWM信号KSのオン時間をカウントする。

【0075】

次に、時間 t_3 において、サンプル信号SMPがローレベルからハイレベルに切り替わると (図18 (e))、カウンタ14は、現時点におけるカウント値である“ D_n ”を示す信号DSを出力する (図18 (c))。なお、この信号DSの出力内容である“ D_n ”は、次回にサンプル信号がローレベルからハイレベルに切り替わるまで (時間 t_5) 保持される。

【0076】

また、時間 t_3 において、カウンタ14から出力される信号DSの内容が“ D_{n-1} ”から“ D_n ”に切り替わると (図18 (c))、演算回路30から出力される信号FSの内容が“ $f(D_{n-1})$ ”から“ $f(D_n)$ ”に切り替わる (図18 (f))。なお“ $f(x)$ ”は、演算回路30において行われる演算内容を表す関数である。

【0077】

次に、時間 t_4 において、リセット信号RESが、ハイレベルからローレベルに切り替わると (図18 (d))、カウンタ14は、カウント値をリセットする (図18 (b))。これにより、カウンタ14は、次のスイッチング周期にお

けるカウントを、リセット後のカウント値から開始することができる。

【0078】

次に、図19に示すタイミングチャートを参照して、コントローラIC7のPWM信号生成回路20における信号の流れについて説明する。図19(a)は、コントローラIC7のランプ信号回路15から出力されるランプ信号RSの波形、およびコントローラIC7の加算器13から出力される信号HSを示す図である。図19(a)に示すように、本実施形態におけるランプ信号RSの波形は、鋸歯状に出力されている。図19(b)は、スイッチング電源装置1のマスタークロックMCに基づいて生成されたリセット信号RESのパルス波形を示す図である。図19(b)に示すように、リセット信号RESは、所定の間隔でローレベルとハイレベルの信号が交互に繰り返されて出力されている。図19(c)は、コントローラIC7のコンパレータ21から出力される信号CSの波形を示す図である。図19(c)に示すように、信号CSは、ローレベルとハイレベルの信号が交互に繰り返されて出力されている。図19(d)は、スイッチング電源装置1のマスタークロックMCに基づいて生成された信号clkのパルス波形を示す図である。図19(d)に示すように、信号clkは、所定の間隔でローレベルとハイレベルの信号が交互に繰り返されて出力されている。図19(e)は、コントローラIC7のPWM信号生成回路20から出力されるPWM信号KSの波形を示す図である。

【0079】

まず、時間t11において、リセット信号RESがハイレベルからローレベルに切り替わると(図19(b))、ランプ信号回路15は、出力するランプ信号RSの値をリセットする(図19(a))。時間t11において、ランプ信号RSの値がリセットされると、コンパレータ21は、ハイレベルの信号CSを出力する(図19(c))。このコンパレータ21は、加算器13から出力された信号HSと、ランプ信号回路15から出力されたランプ信号RSとを比較し、信号HSの値がランプ信号RSの値よりも大きい間(例えば、t11からt13の間)には、ハイレベルの信号CSを出力し、信号HSの値がランプ信号RSの値以下の間(例えば、t13からt15の間)には、ローレベルの信号CSを出力す

る (図 19 (c))。

【0080】

次に、時間 t_{12} において、リセット信号 RES がローレベルからハイレベルに切り替わると (図 19 (b))、ランプ信号回路 15 は、カウントアップされるランプ信号 RS の出力を開始または再開する (図 19 (a))。

【0081】

また、時間 t_{12} において、信号 clk が、ローレベルからハイレベルに切り替わると (図 19 (d)) PWM 信号生成回路 20 から出力される PWM 信号 KS が OFF 状態 (ローレベル) から ON 状態 (ハイレベル) に切り替わる。

【0082】

次に、時間 t_{13} において、信号 HS の値がランプ信号 RS の値以下になると (図 19 (a))、コンパレータ 21 から出力される信号 CS が、ハイレベルからローレベルに切り替わる (図 19 (c))。コンパレータ 21 から出力される信号 CS が、ハイレベルからローレベルに切り替わると (図 19 (c))、AND 回路 22 から出力される PWM 信号 KS がハイレベルからローレベルに切り替わる (図 19 (e))。すなわち、ランプ信号 RS の値が、 HS 信号の値に到達した場合には、駆動信号である PWM 信号 KS が ON 状態 (ハイレベル) から OFF 状態 (ローレベル) に切り替わることになる。

【0083】

次に、時間 t_{14} において、信号 clk がハイレベルからローレベルに切り替わると (図 19 (d))、AND 回路 22 から出力される PWM 信号 KS が、強制的にローレベルに切り替えられる (図 19 (e))。すなわち、信号 clk は、駆動信号である PWM 信号 KS が ON 状態として継続する期間を制限する機能を有する。

【0084】

したがって、PWM 生成回路 20 では、信号 clk がローレベルからハイレベルに切り替わった後 (図 19 (d))、信号 HS の値がランプ信号 RS の値よりも大きいと判定されたときに (図 19 (a))、PWM 信号 KS が OFF 状態から ON 状態に切り替わり、ランプ信号 RS の値が、信号 HS の値に到達したと判

定されたときに(図19(a))、PWM信号KSがON状態からOFF状態に切り替わる。

【0085】

以上のように、本実施形態におけるスイッチング電源装置1では、帰還ループにあるハイパスフィルタ31および積分手段32によって、PWM信号KSのオン時間に対応する信号から低周波成分が遮断され、この遮断された信号が積分されるとともに、この積分後の信号に基づいて駆動信号が生成されるため、コントローラIC7の伝達関数は、一次のハイパスフィルタの伝達関数として表され、 90° の位相進みを実現することが可能となり、かつ直流利得も確保される。

【0086】

[第2実施形態]

次に、本発明の第2実施形態について説明する。上述した第1実施形態と異なる点は、コントローラICの構成の一部が異なる点である。したがって、以下においては、第1実施形態と異なる点について詳述し、第1実施形態と同様の構成要素には同一の符号を付しその説明は省略することとする。

【0087】

まず、図20を参照して第2実施形態におけるコントローラIC7Sの構成を説明する。図20に示すように、第2実施形態におけるコントローラIC7Sは、遅延器であるDフリップフロップ16(遅延手段)と、リミッタ回路17とをさらに有し、カウンタ回路14を省いた点で第1実施形態におけるコントローラIC7の構成と異なる。

【0088】

Dフリップフロップ16は、加算器13から出力された信号HSおよびPWM信号生成回路20から出力されたPWM信号KSに基づいて、信号DKSを出力する。すなわち、Dフリップフロップ16は、D信号として信号HSが入力され、クロック信号としてPWM信号KSが入力され、Q信号として信号DKSが出力される。

【0089】

リミッタ回路17は、AND回路22に対応する機能を有し、Dフリップフロ

ップ 1 6 から出力される信号 D K S のパルス幅の上限を A N D 回路 2 2 におけるパルス幅制限と同様に制限する機能を有する。

【 0 0 9 0 】

次に、図 2 1 に示すタイミングチャートを参照して、コントローラ I C 7 S の D フリップフロップ 1 6 および演算回路 3 0 における信号の流れについて説明する。図 2 1 (a) は、コントローラ I C 7 S の P W M 信号生成回路 2 0 から出力される P W M 信号 K S の波形を示す図である。図 2 1 (b) は、コントローラ I C 7 S の加算器 1 3 から出力される信号 H S を示す図である。図 2 1 (c) は、D フリップフロップ 1 6 から出力される信号 D K S の内容を示す図である。図 2 1 (d) は、コントローラ I C 7 S の演算回路 3 0 から出力される信号 F S の内容を示す図である。

【 0 0 9 1 】

まず、時間 t_{21} において、P W M 信号生成回路 2 0 から出力される P W M 信号 K S がハイレベルからローレベルに切り替わると（図 2 1 (a) ）、D フリップフロップ 1 6 は、その時点の信号 H S の値である “ D_n ” を示す信号 D K S を出力する（図 2 1 (b) , (c) ）。なお、この信号 D K S の出力内容である “ D_n ” は、次回に P W M 信号 K S がハイレベルからローレベルに切り替わるまで（時間 t_{22} ）保持される。すなわち、時間 t_{22} になると、D フリップフロップ 1 6 は、その時点の信号 H S の値である “ D_{n+1} ” を示す信号 D K S を出力する（図 2 1 (b) , (c) ）。

【 0 0 9 2 】

また、時間 t_{21} において、D フリップフロップ 1 6 から出力される信号 D K S の内容が “ D_{n-1} ” から “ D_n ” に切り替わると（図 2 1 (c) ）、演算回路 3 0 から出力される信号 F S の内容が “ $f(D_{n-1})$ ” から “ $f(D_n)$ ” に切り替わる（図 2 1 (d) ）。なお、演算回路 3 0 に入力される信号は、D フリップフロップ 1 6 から出力される信号 D K S にリミッターがかけられた後の信号 D S 2 となる。

【 0 0 9 3 】

なお、コントローラ I C 7 S の P W M 信号生成回路 2 0 における信号の流れに

については、第1実施形態と同様であるため説明を省略する。

【0094】

以上のように、第2実施形態におけるスイッチング電源装置1では、帰還ループに存在するハイパスフィルタ31および積分手段32によって、Dフリップフロップ16から出力される信号から低周波成分が遮断され、この遮断された信号が積分されるとともに、この積分後の信号に基づいて駆動信号が生成されるため、コントローラIC7Sの伝達関数は、一次のハイパスフィルタの伝達関数として表され、 90° の位相進みを実現することが可能となり、かつ直流利得も確保される。

【0095】

[変形例]

なお、上述した各実施形態においては、演算回路30がハイパスフィルタ31と積分器32により構成されている場合について説明しているが、演算回路30の構成はこれに限定されない。例えば、図22ないし図26に示すような回路構成を有する演算回路であってもよい。

【0096】

図22ないし図24は、二次のハイパスフィルタと積分器とを融合した演算回路30V、30W、30Xの詳細回路構成を示す図である。図22に示す演算回路30Vは、遅延器であるDフリップフロップ30VA～30VCと、乗算係数が $b_1 + b_2$ である乗算器30VDと、乗算係数が $b_1 * b_2$ である乗算器30VEと、加算器30VFとを有する。図23に示す演算回路30Wは、遅延器であるDフリップフロップ30WA、30WBと、加算器30WC、30WDとを有する。図24に示す演算回路30Xは、遅延器であるDフリップフロップ30XA、30XBと、加算器30XC、30XDとを有する。

【0097】

演算回路30V、30W、30Xの回路構成は、以下に記載する式10により表される演算回路30V、30W、30Xの伝達関数 $H(Z)$ に基づいて構成されている。

【0098】

$$(1 - Z^{-1}) / [(1 - b_1 * Z^{-1}) (1 - b_2 * Z^{-1})] \dots \quad (\text{式 } 10)$$

(b_1 , b_2 は係数)

【0099】

この式 10 は、二次のハイパスフィルタの伝達関数と積分器の伝達関数とを乗算して求められたものである。

【0100】

図 25 は、一次のハイパスフィルタが有する機能と積分器が有する機能とを融合した演算回路 30Y の詳細回路構成を示す図である。ここで、この演算回路 30Y の回路構成には、一次のハイパスフィルタと積分器とを別個に連続して組み合わせた回路構成は含まれない。図 25 に示す演算回路 30X は、遅延器である D フリップフロップ 30YA と、乗算係数が “b” である乗算器 30YB と、加算器 30YC とを有する。この回路構成は、以下に記載する式 11 により表される演算回路 30Y の伝達関数 $H(Z)$ に基づいて構成されている。

【0101】

$$1 / (1 - b * Z^{-1}) \dots \quad (\text{式 } 11) \quad (b \text{ は係数})$$

【0102】

この式 11 は、一次のハイパスフィルタの伝達関数と積分器の伝達関数とを乗算して求められたものである。

【0103】

図 26 は、一次のハイパスフィルタ 31S と、乗算器 32 とを有する演算回路 30Z の詳細回路構成を示す図である。図 26 に示すように、乗算器 32 は、二つの一次のハイパスフィルタ 31S に挟まれて配置されており、一方の一次のハイパスフィルタ 31S から出力された信号を入力するとともに、この乗算器 32 で乗算した後の信号を他方の一次のハイパスフィルタ 31S に出力する。なお、図 26 に示す遅延器 32A は、乗算器 32 と、当該乗算器 32 の出力側に配置された一次のハイパスフィルタ 31S とで共用される。この回路構成は、一次のハイパスフィルタの伝達関数と、積分器の伝達関数に基づいてそれぞれ構成されている。

【0104】

また、上述した各実施形態においては、PWM信号生成回路20から出力されるPWM信号KSが、ローレベルからハイレベルに切り替わるタイミングを固定し、PWM信号KSがハイレベルからローレベルに切り替わるタイミングを、加算器13から出力された信号HSおよびランプ信号回路15から出力されたランプ信号RSに基づいて制御しているが、PWM信号KSの切り替えのタイミングは、これに限られない。例えば、PWM信号KSがハイレベルからローレベルに切り替わるタイミングを固定し、PWM信号KSが、ローレベルからハイレベルに切り替わるタイミングを、加算器13から出力された信号HSおよびランプ信号回路15から出力されたランプ信号RSに基づいて制御してもよい。この場合に、上述した第2実施形態におけるDフリップフロップ16は、PWM信号KSがローレベルからハイレベルに切り替えられた時点における信号HSの値に対応する信号DKSを出力すればよい。

【0105】

また、上述した各実施形態においては、A/D変換部をコントローラICの外部装置として構成したが、A/D変換部がコントローラICに含まれる構成であってもよい。

【0106】

また、上述した各実施形態ではコントローラICをデジタル回路で構成したが、アナログ回路で構成してもよい。さらに、マイコン等のコンピュータに組み込むプログラム（ソフトウェア）によって、上述したコントローラICの各部が有する機能を構成してもよい。この各部が有する機能を実現するプログラムは、C、D-ROM等の記憶媒体やインターネット等による配信によって流通する場合、あるいはコンピュータに組み込まれた状態でコントローラICとして流通する場合がある。

【0107】

また、上述した各実施形態ではDC/DCコンバータに適用したが、AC/DCコンバータやDC/ACコンバータにも適用可能である。また、本発明は、トランスを有しない非絶縁型かつ降圧型のコンバータ、あるいはトランスを有する絶縁型のコンバータのいずれにも適用可能であり、さらに、昇圧型又は昇降圧型

のコンバータにも適用可能である。

【0108】

【発明の効果】

本発明に係るスイッチング電源装置用制御装置およびスイッチング電源装置によれば、位相進みを実現することにより位相補償することができる。

【図面の簡単な説明】

【図1】

本発明の各実施形態におけるスイッチング電源装置の回路構成図である。

【図2】

第一実施形態におけるコントローラ IC の回路構成図である。

【図3】

各実施形態における演算回路の詳細回路構成図である。

【図4】

各実施形態における演算回路の詳細回路構成図である。

【図5】

帰還ループで帰還する制御回路の一例を示す図である。

【図6】

制御回路における伝達関数のゲイン特性を示す図である。

【図7】

制御回路における伝達関数の位相特性を示す図である。

【図8】

スイッチング電源装置本体における伝達関数のゲイン特性を示す図である。

【図9】

スイッチング電源装置本体における伝達関数の位相特性を示す図である。

【図10】

コントローラ IC における伝達関数のゲイン特性を示す図である。

【図11】

コントローラ IC における伝達関数の位相特性を示す図である。

【図12】

コントローラ IC を含むスイッチング電源装置全体における伝達関数のゲイン特性を示す図である。

【図 13】

コントローラ IC を含むスイッチング電源装置全体における伝達関数の位相特性を示す図である。

【図 14】

一次のハイパスフィルタを有するコントローラ IC における伝達関数のゲイン特性を示す図である。

【図 15】

一次のハイパスフィルタを有するコントローラ IC における伝達関数の位相特性を示す図である。

【図 16】

一次のハイパスフィルタを有するコントローラ IC を含むスイッチング電源装置全体における伝達関数のゲイン特性を示す図である。

【図 17】

一次のハイパスフィルタを有するコントローラ IC を含むスイッチング電源装置全体における伝達関数の位相特性を示す図である。

【図 18】

第一実施形態におけるカウンタおよび演算回路での信号の流れについて説明するタイミングチャートである。

【図 19】

各実施形態における PWM 信号生成回路での信号の流れについて説明するタイミングチャートである。

【図 20】

第二実施形態におけるコントローラ IC の回路構成図である。

【図 21】

第二実施形態における D フリップフロップおよび演算回路での信号の流れについて説明するタイミングチャートである。

【図 22】

変形例における演算回路の詳細回路構成図である。

【図 2 3】

変形例における演算回路の詳細回路構成図である。

【図 2 4】

変形例における演算回路の詳細回路構成図である。

【図 2 5】

変形例における演算回路の詳細回路構成図である。

【図 2 6】

変形例における演算回路の詳細回路構成図である。

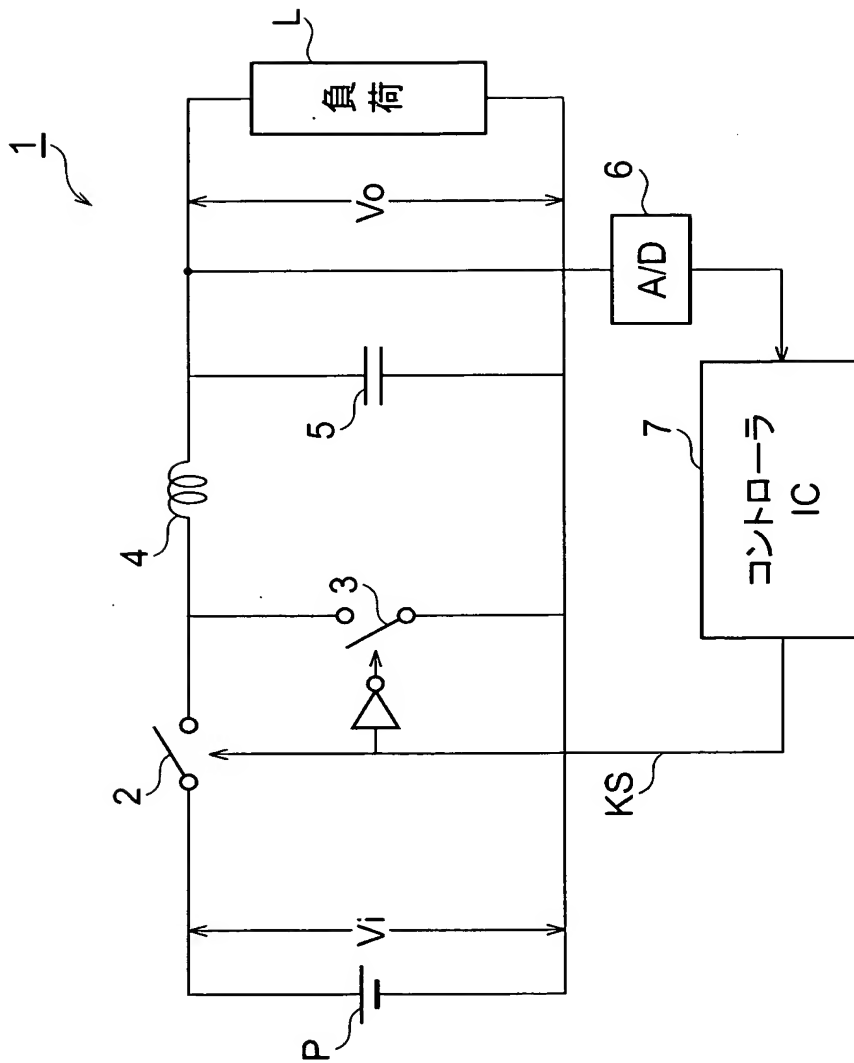
【符号の説明】

1…スイッチング電源装置、2, 3…スイッチング素子、4…インダクタ、
5…コンデンサ、6…AD変換部、7, 7S…コントローラIC、L…負荷
、P…電源、11, 13…加算器、12…乗算器、14…カウンタ、15…
ランプ回路、16…Dフリップフロップ、17…リミッタ回路、20…PW
M信号生成回路、21…コンパレータ、22…AND回路、30、30V, 3
0W、30X, 30Y, 30Z…演算回路、31, 31S…ハイパスフィルタ
、32…積分器。

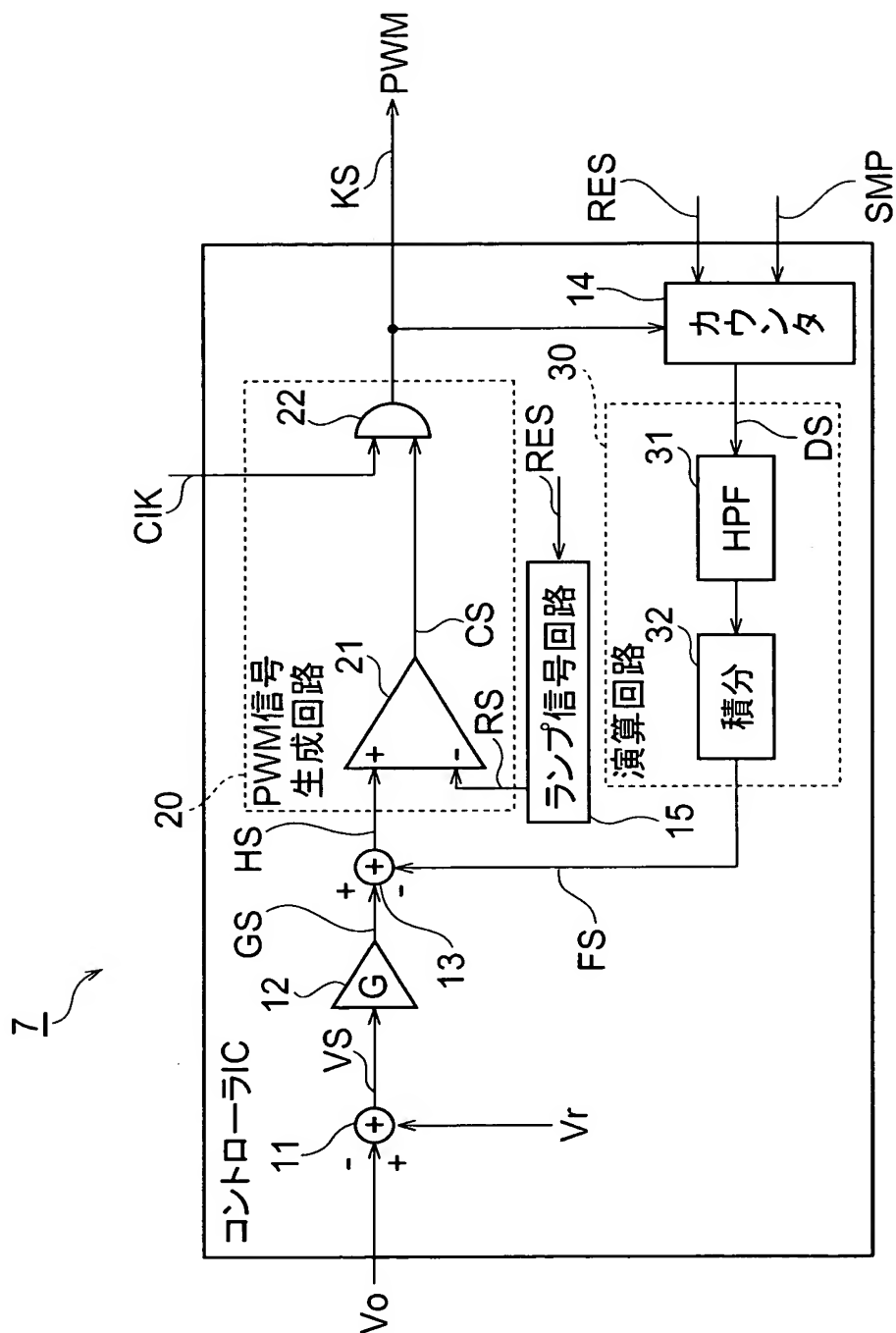
【書類名】

図面

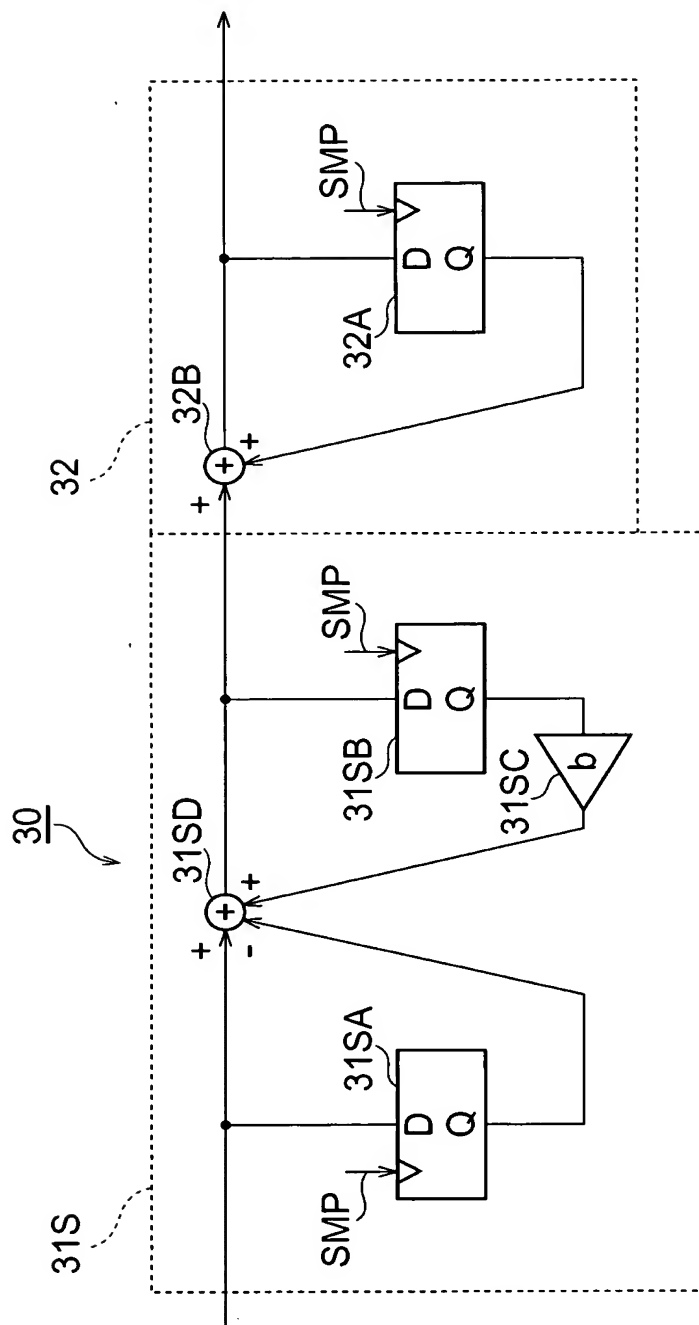
【図 1】



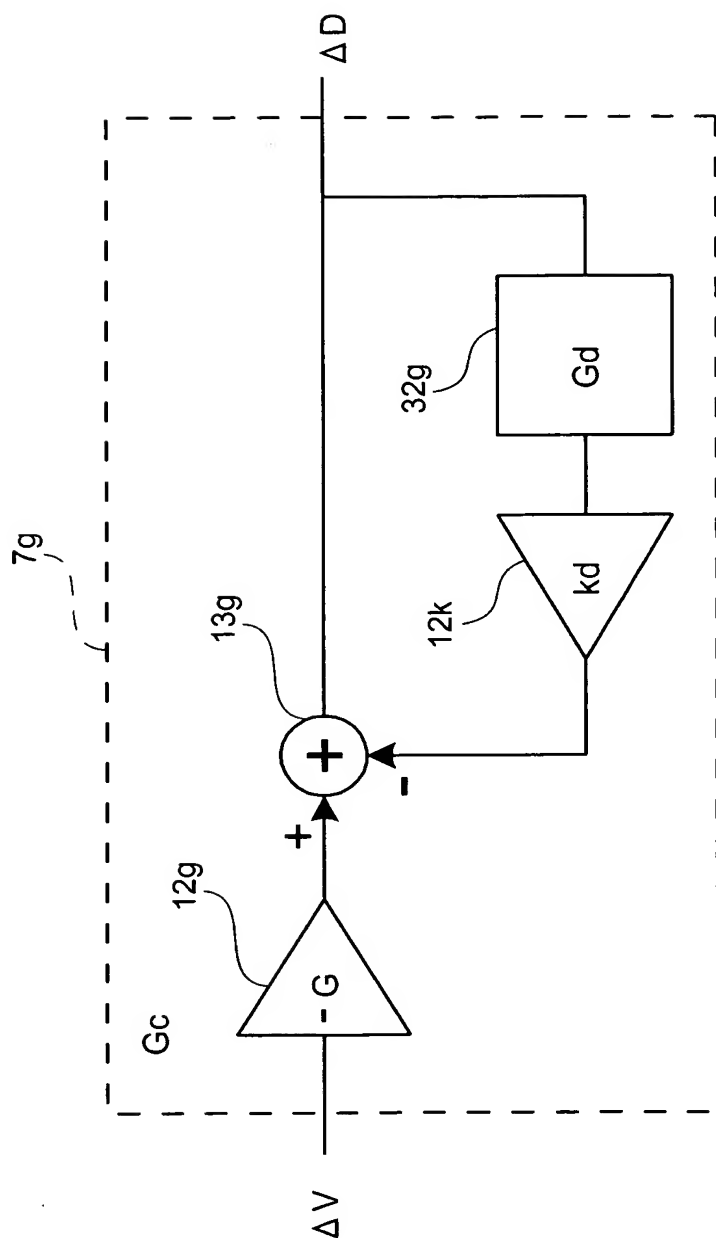
【図 2】



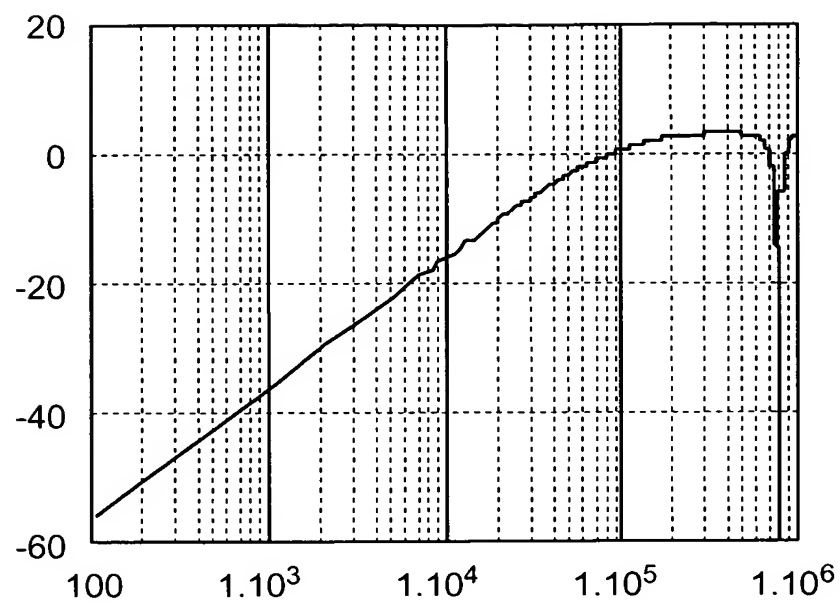
【図 4】



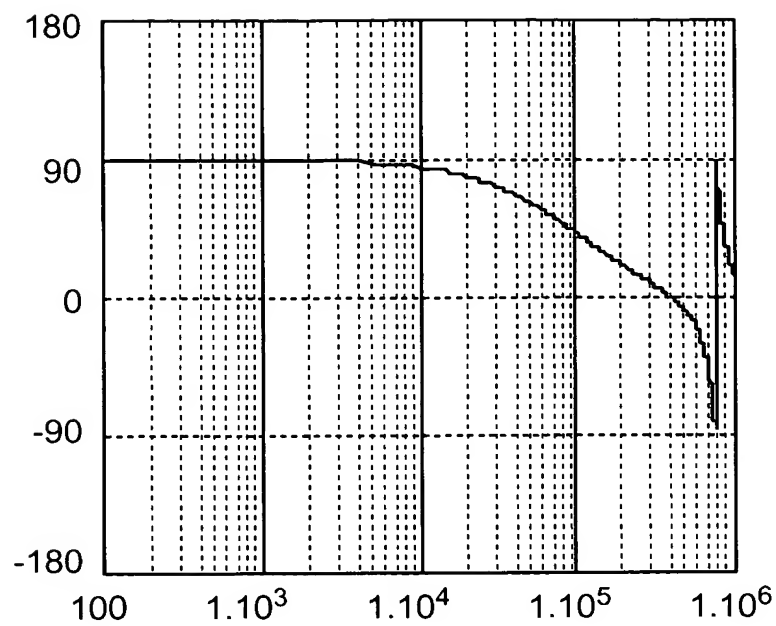
【図 5】



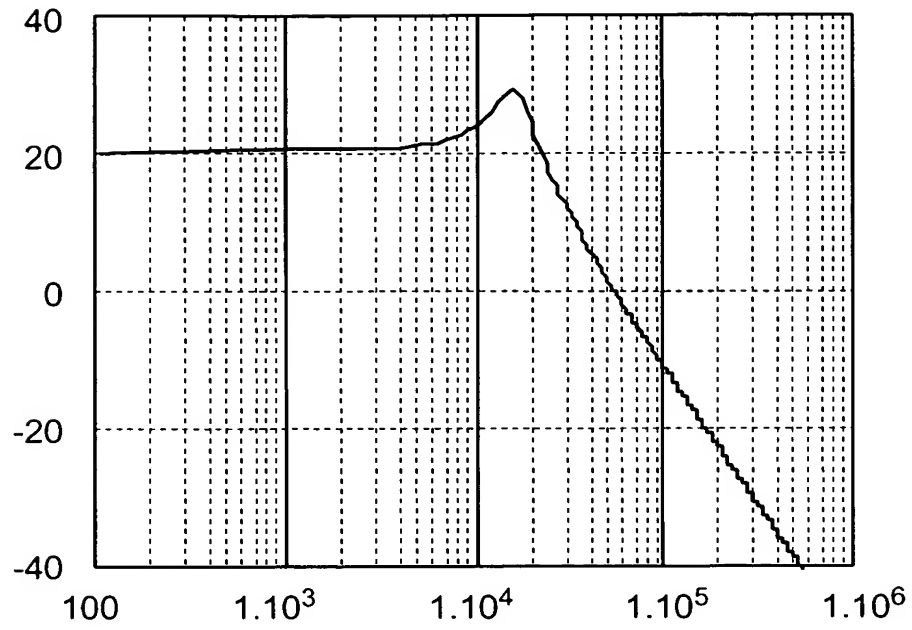
【図 6】



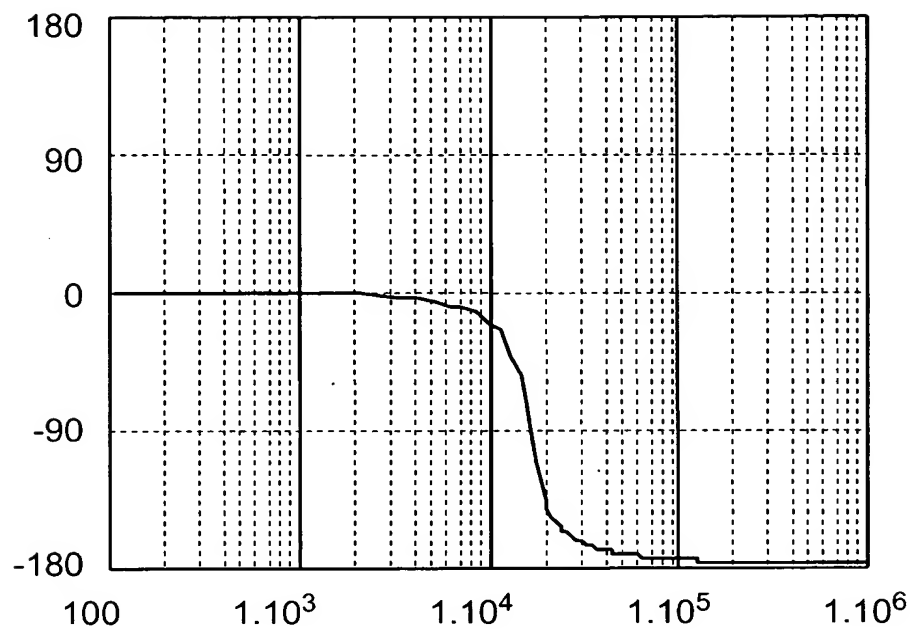
【図 7】



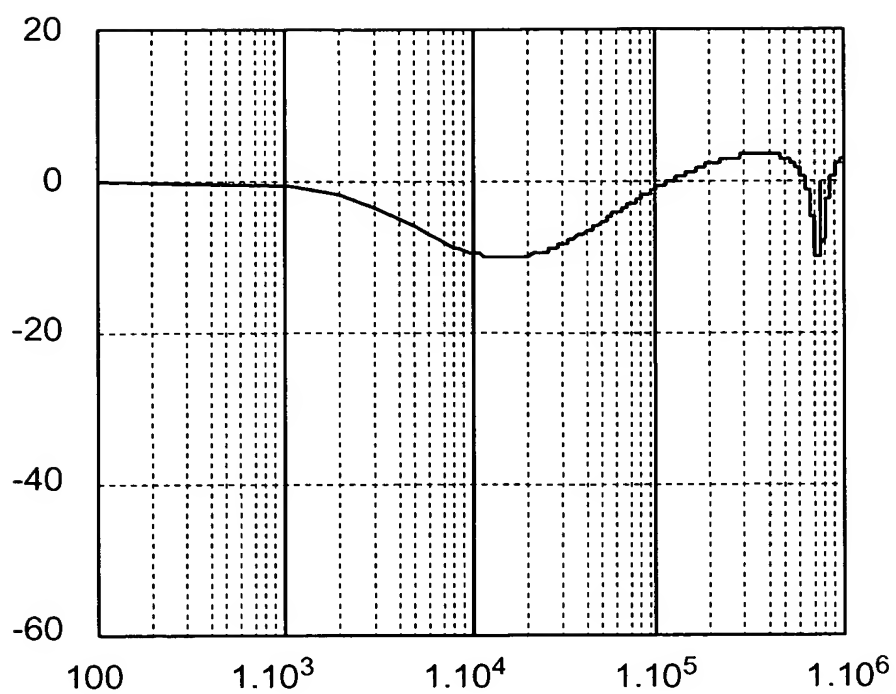
【図 8】



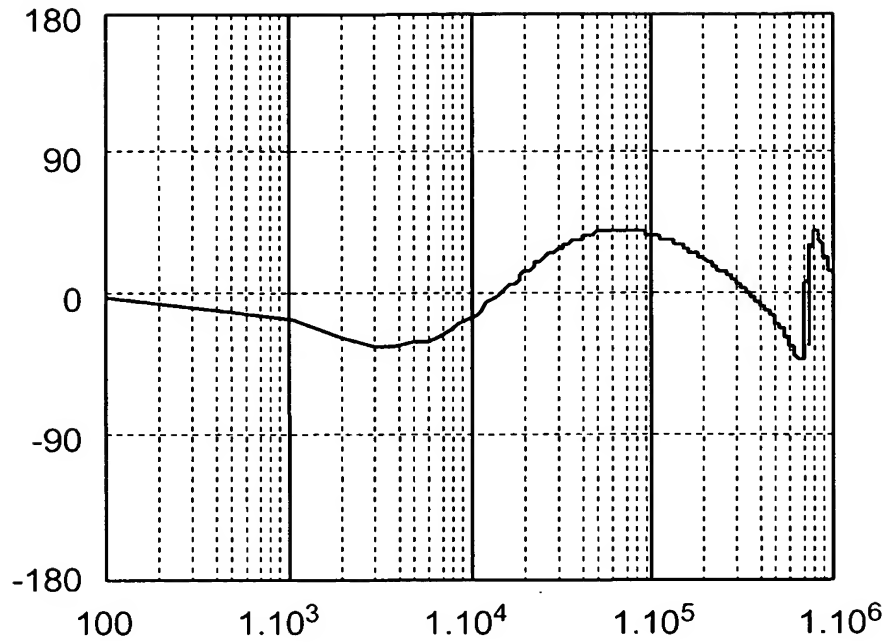
【図 9】



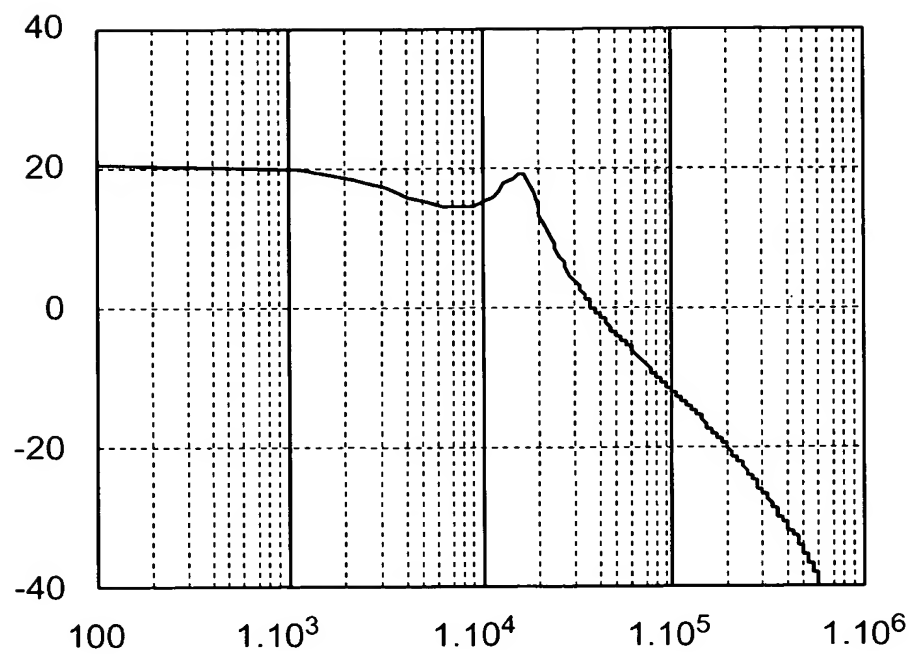
【図 1 0】



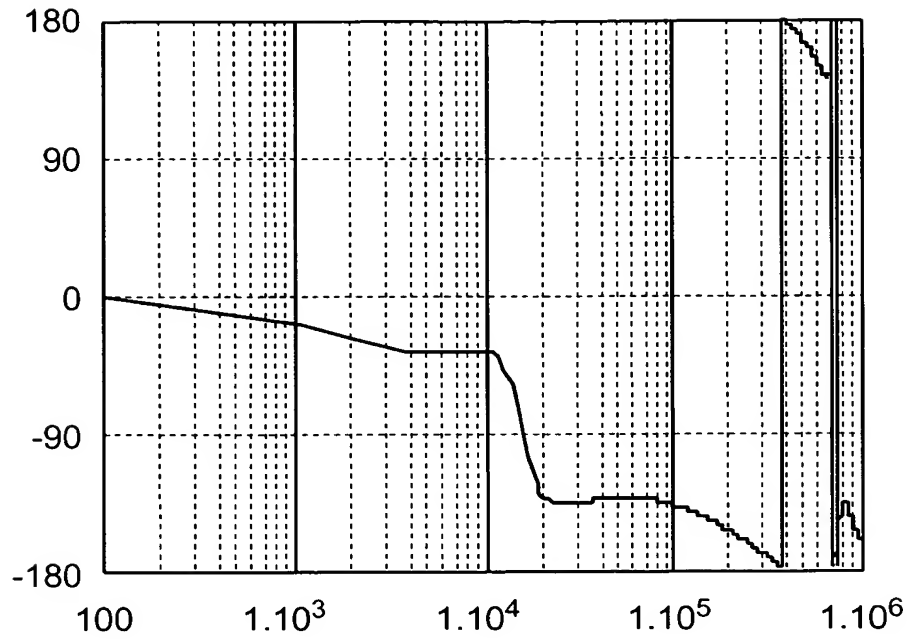
【図 11】



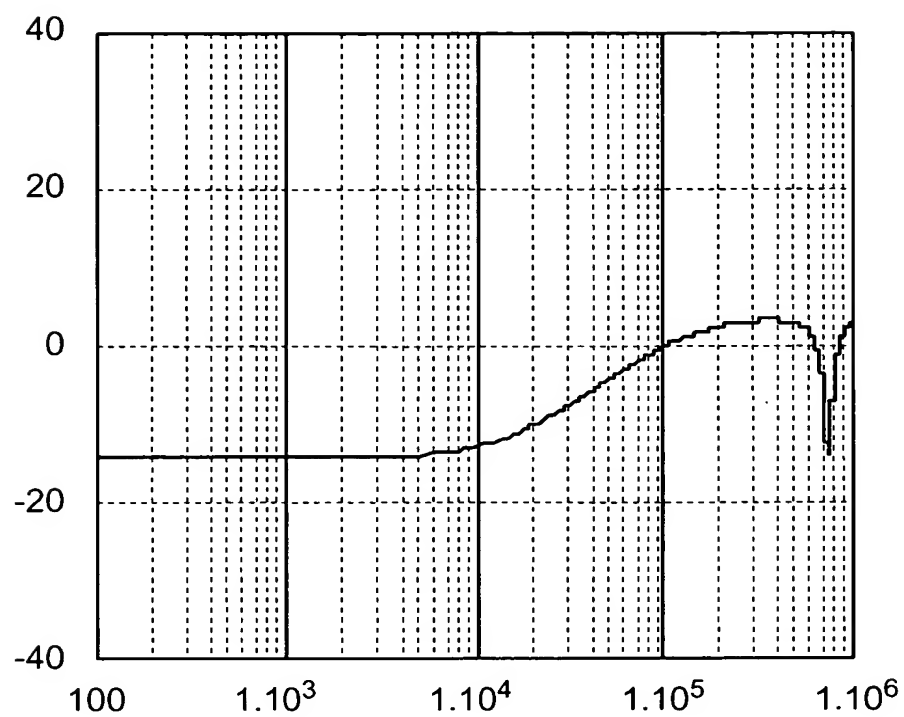
【図 1 2】



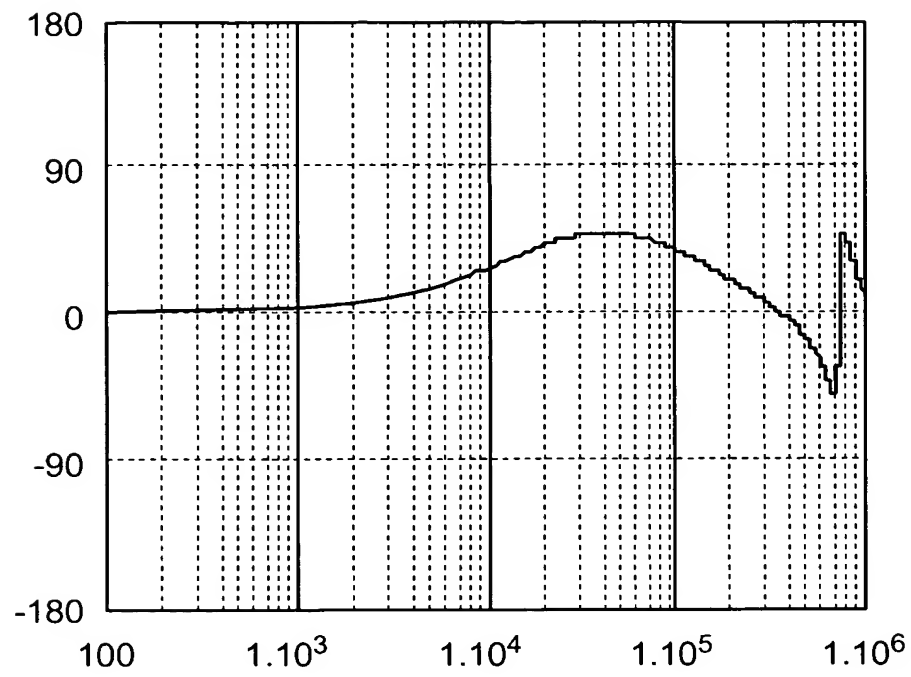
【図 13】



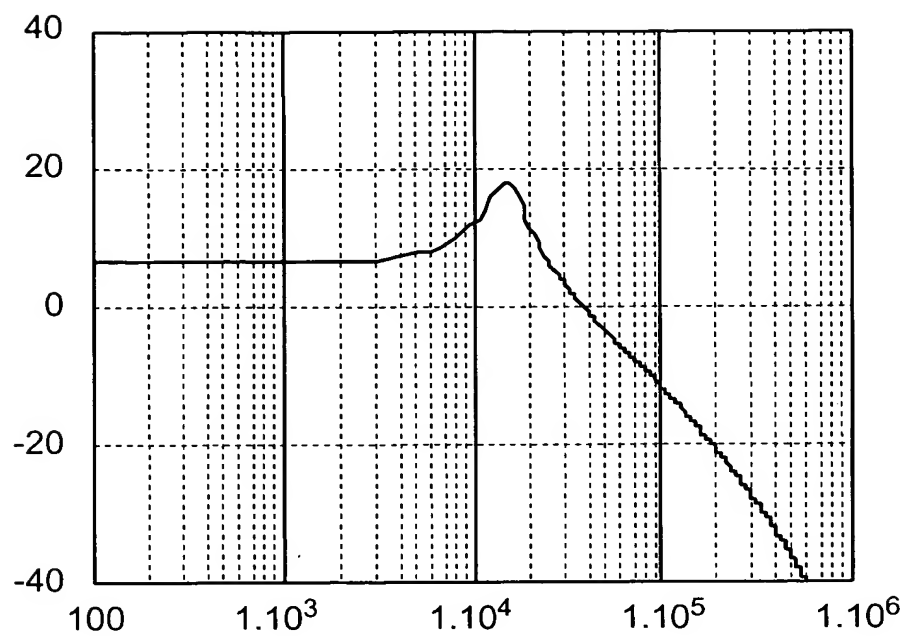
【図 14】



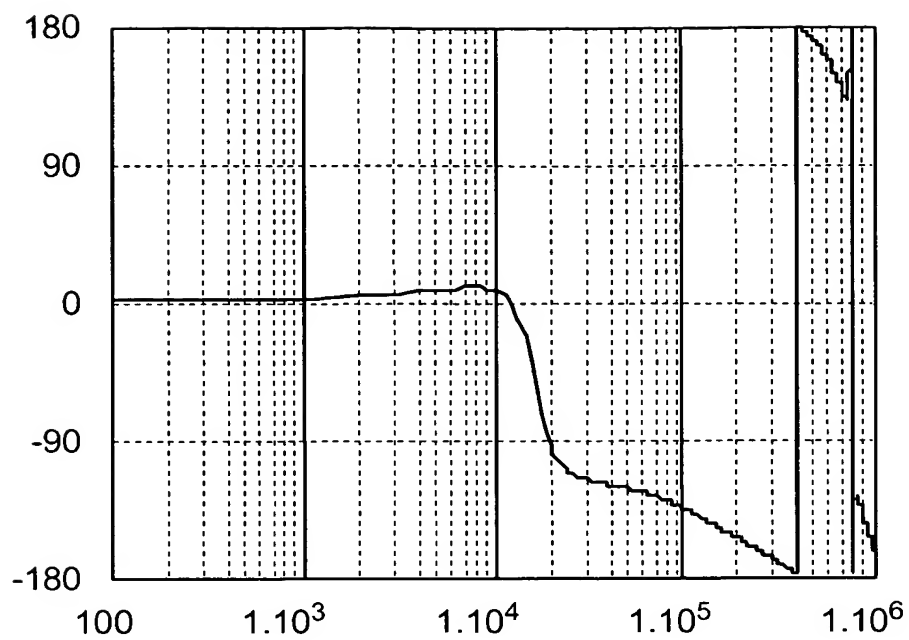
【図 1 5】



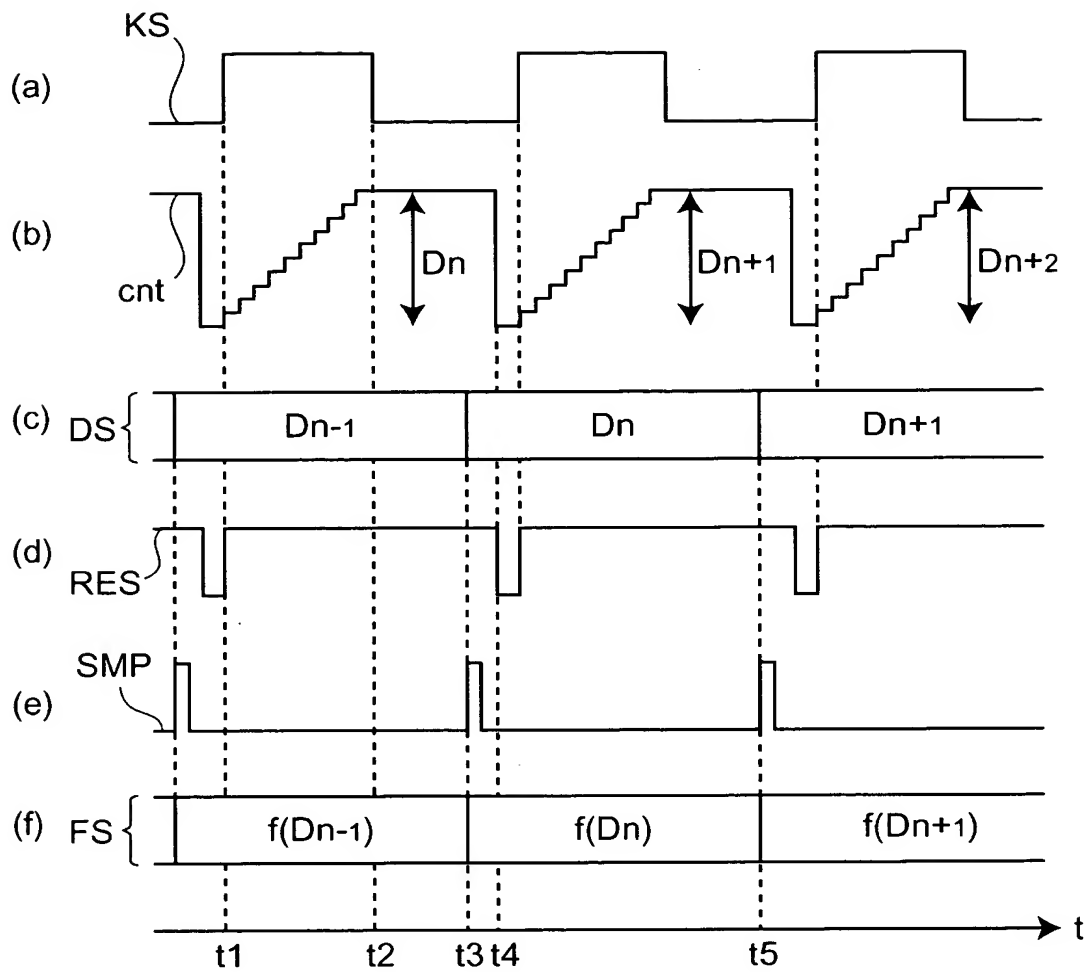
【図 16】



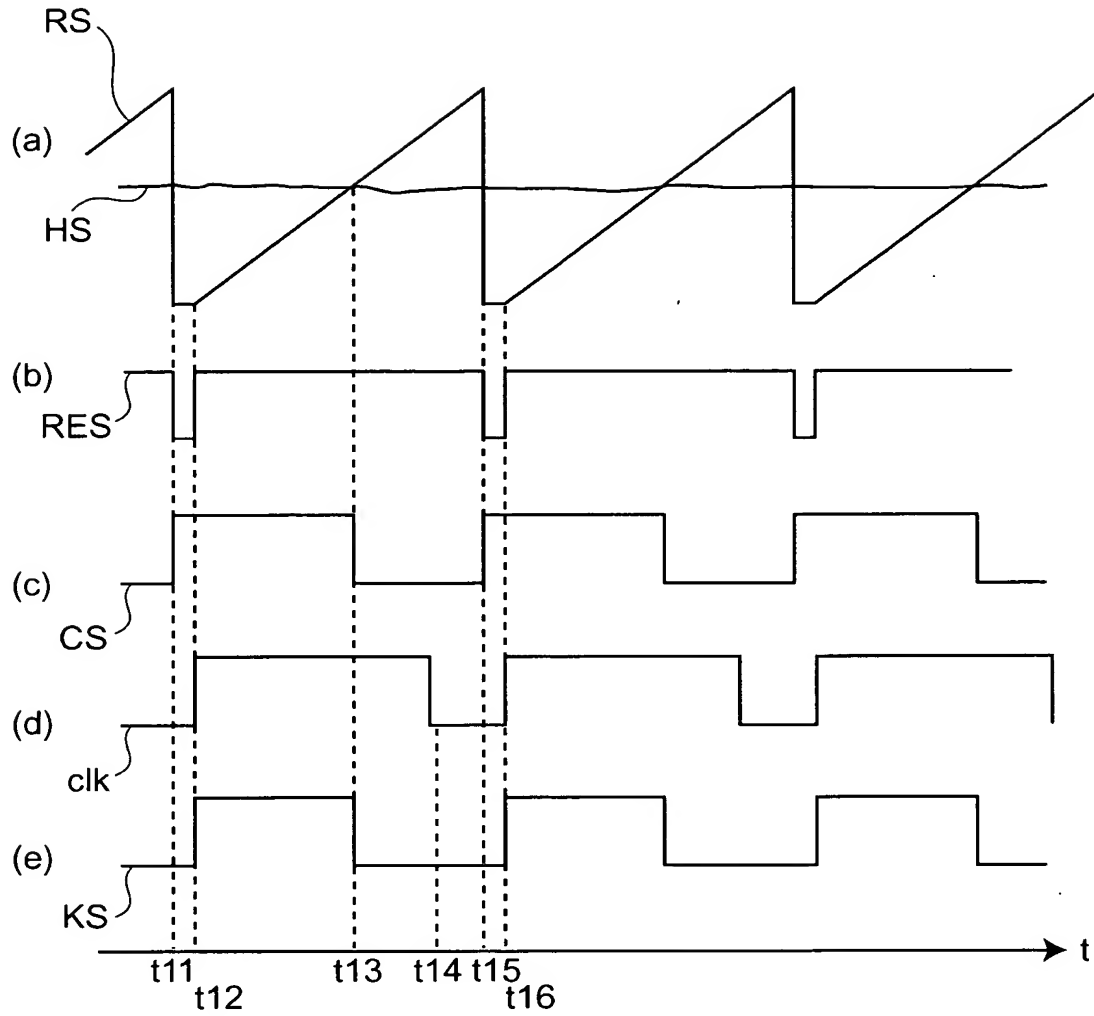
【図 17】



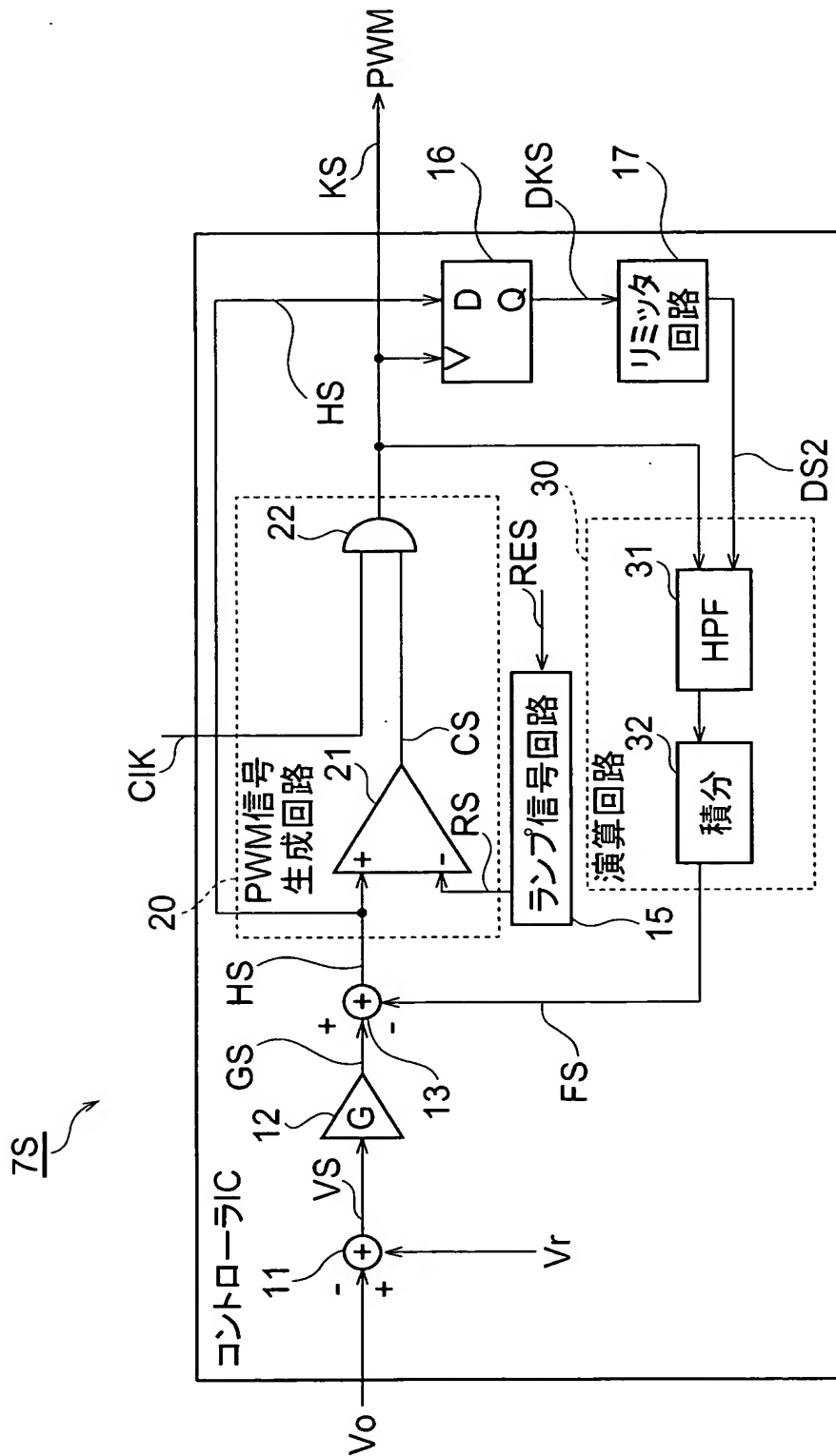
【図 18】



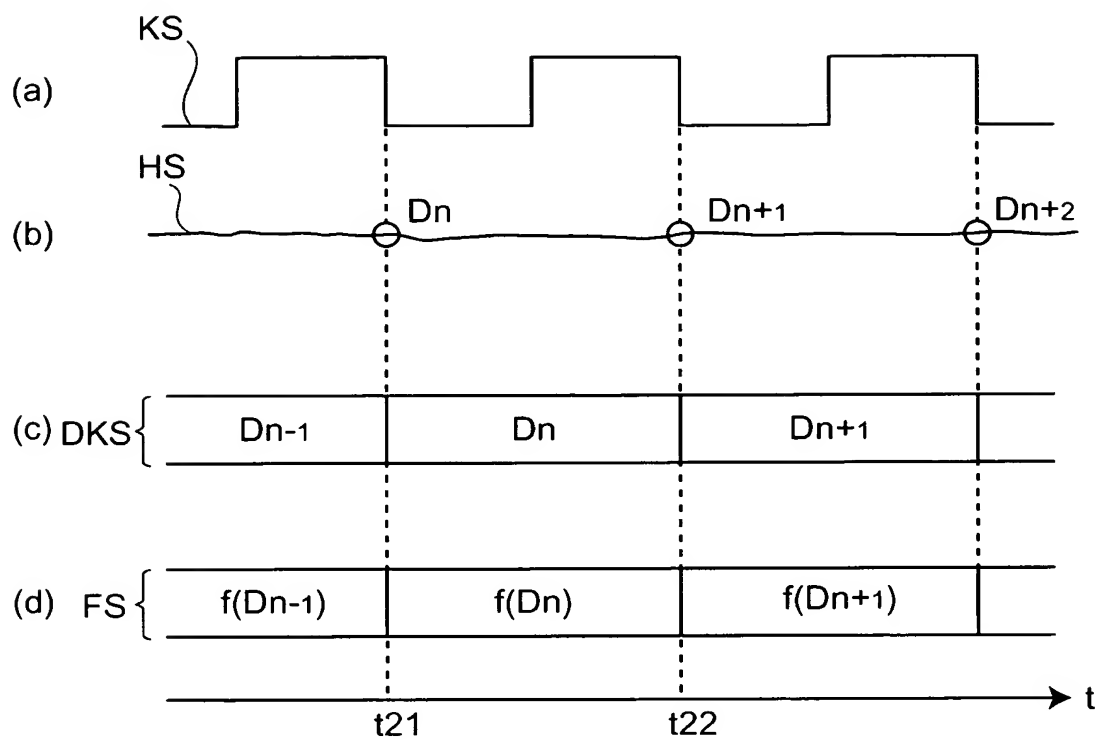
【図 19】



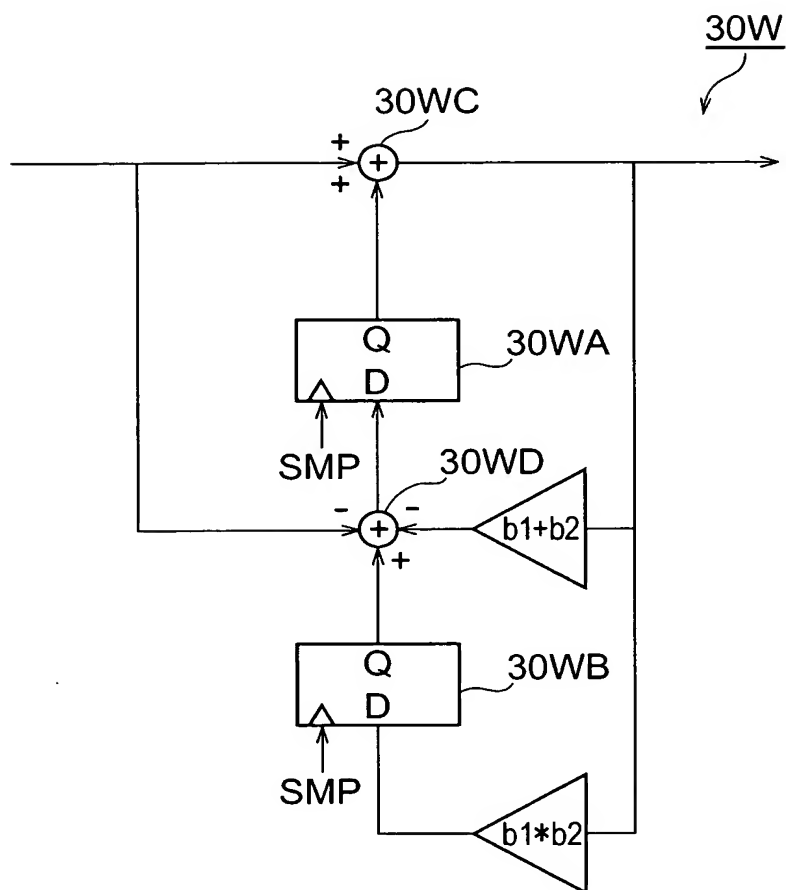
【図 20】



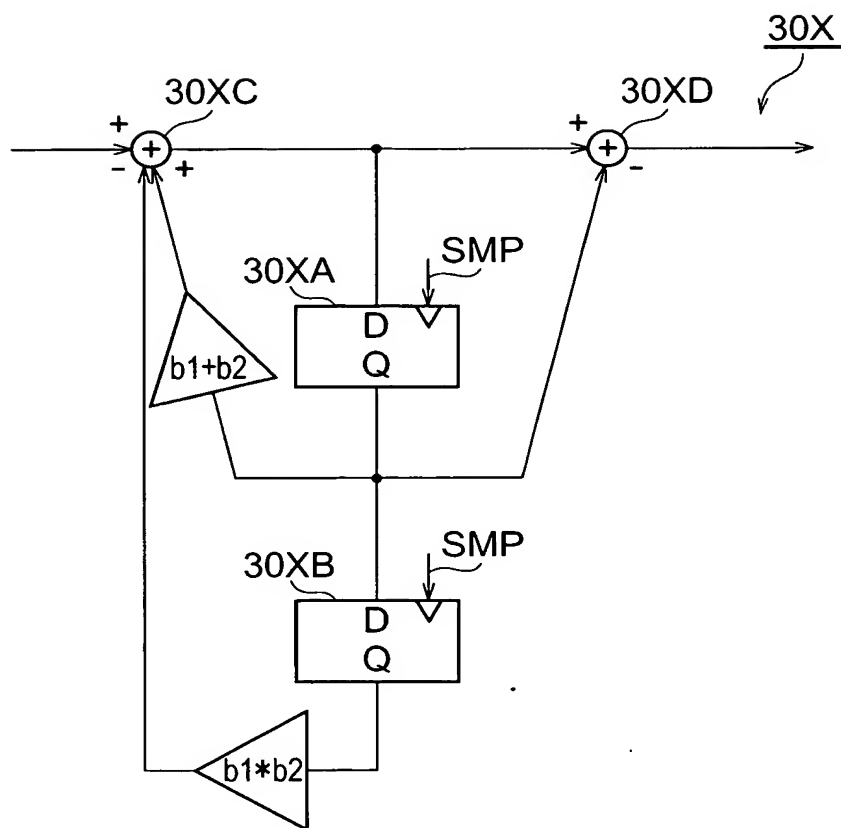
【図 21】



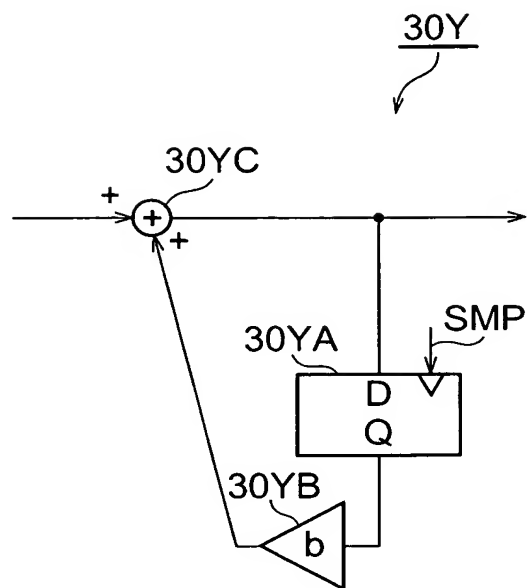
【図 23】



【図 24】



【図 25】



【書類名】 要約書

【要約】

【課題】 位相進みを実現することにより位相補償する。

【解決手段】 加算器 11 は $(V_r - V_o)$ の値を示す信号 V_S を出力し、乗算器 12 は信号 V_S に基づいて $G(V_r - V_o)$ の値を示す制御信号 G_S を出力し、加算器 13 は制御信号 G_S および演算回路 30 から出力された信号 F_S に基づいて信号 H_S を出力し、PWM 信号生成回路 20 は信号 H_S およびランプ信号回路 15 から出力されたランプ信号 R_S に基づいて PWM 信号 K_S を生成してこの信号 K_S をスイッチング電源装置に出力する。カウンタ 14 は PWM 信号 K_S のオン時間をカウントし、サンプル信号 SMP を受信した時点のカウント値を保持する。演算回路 30 はハイパスフィルタ 31 と積分器 32 とを有し、カウンタ 14 から出力されたカウント値を示す信号 D_S に基づいて演算し、演算後の信号 F_S を出力する。

【選択図】 図 2

特願 2 0 0 3 - 0 9 1 6 5 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 6 7]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日
[変更理由] 新規登録
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号
氏 名 ティーディーケイ株式会社
2. 変更年月日 2 0 0 3 年 6 月 2 7 日
[変更理由] 名称変更
住 所 東京都中央区日本橋 1 丁目 1 3 番 1 号
氏 名 T D K 株式会社